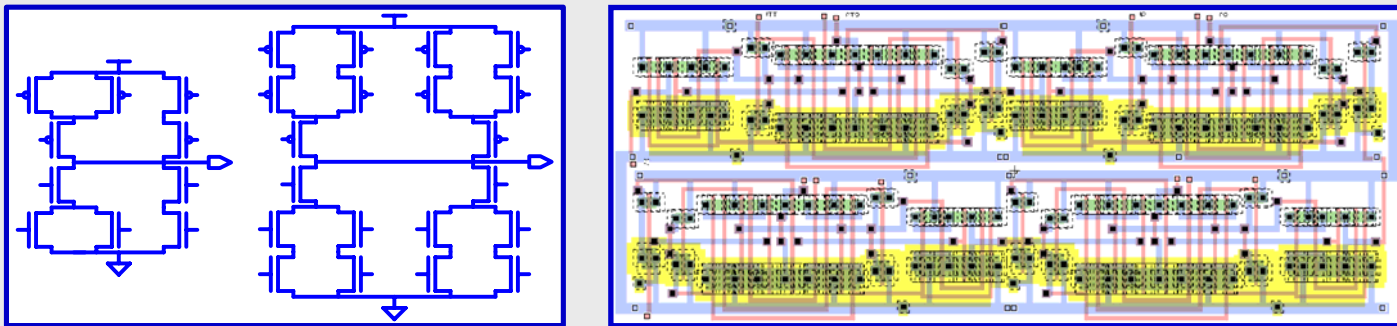


ΑΝΑΛΥΣΗ ΚΑΤΑΝΑΛΩΣΗΣ ΕΝΕΡΓΕΙΑΣ & ΚΑΘΥΣΤΕΡΗΣΗΣ ΚΥΚΛΩΜΑΤΩΝ CMOS & ΤΕΧΝΙΚΕΣ ΣΧΕΔΙΑΣΜΟΥ ΑΡΙΘΜΗΤΙΚΩΝ ΚΥΚΛΩΜΑΤΩΝ ΜΕ ΧΑΜΗΛΗ ΚΑΤΑΝΑΛΩΣΗ ΕΝΕΡΓΕΙΑΣ & ΥΨΗΛΗ ΤΑΧΥΤΗΤΑ



Λάμπρος Μπισδούνης
Δρ. Ηλεκτρολόγος Μηχανικός

Χανιά – 30 Σεπτεμβρίου 2003

Οργάνωση και αντικείμενο της παρουσίασης

- Ανάλυση και μοντελοποίηση της κατανάλωσης ενέργειας ψηφιακών κυκλωμάτων CMOS.
- Ανάλυση και μοντελοποίηση της καθυστέρησης ψηφιακών κυκλωμάτων CMOS.
- Συσχέτιση κατανάλωσης ενέργειας και καθυστέρησης.
- Τεχνικές σχεδιασμού κυκλωμάτων CMOS (logic design styles).
- Αξιολόγηση τεχνικών σχεδιασμού κυκλωμάτων (ταχύτητα, κατανάλωση ενέργειας, μέγεθος) σε κυκλώματα αθροιστών.
- Τεχνικές σχεδιασμού αθροιστών και αξιολόγησή τους.
- Τεχνικές σχεδιασμού πολλαπλασιαστών και αξιολόγησή τους.

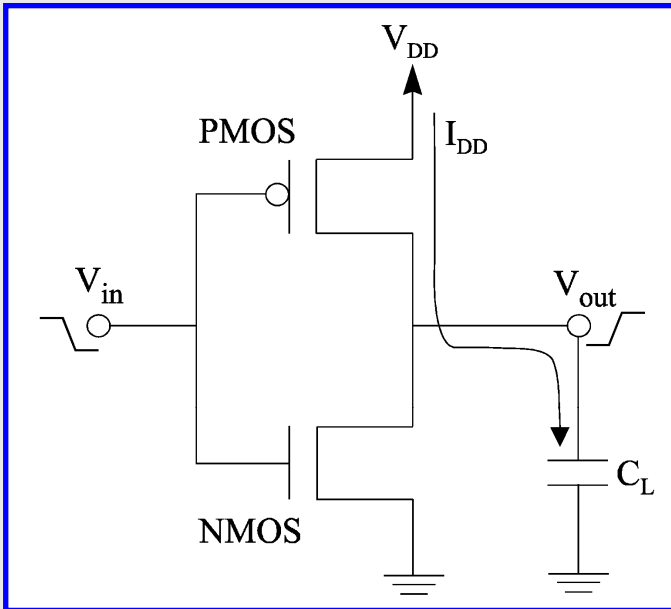
Κατανάλωση ενέργειας κυκλωμάτων CMOS

- Ο ρυθμός κατανάλωσης ενέργειας (μέση ισχύς) στα ψηφιακά κυκλώματα CMOS μπορεί να περιγραφεί ως εξής:

$$P_{\text{avg}} = P_{\text{dynamic}} + P_{\text{short-circuit}} + P_{\text{leakage}} + P_{\text{static}}$$

- P_{dynamic} αφορά την ενέργεια που καταναλώνεται λόγω της φόρτισης και εκφόρτισης χωρητικών φορτίων.
- $P_{\text{short-circuit}}$ αφορά την κατανάλωση ενέργειας λόγω του ρεύματος βραχυκυκλώματος το οποίο υφίσταται όταν δημιουργείται αγώγιμο μονοπάτι μεταξύ της τροφοδοσίας και της γείωσης κατά τη διάρκεια μεταγωγής μιας πύλης (switching).
- P_{leakage} αφορά την κατανάλωση ενέργειας λόγω των ρευμάτων διαρροής.
- P_{static} αφορά τη στατική κατανάλωση ενέργειας.

Δυναμική κατανάλωση ενέργειας



$$I_{DD} = C_L \frac{dV_{out}}{dt}$$

$$E_D^{0 \rightarrow 1} = V_{DD} \int_0^{\tau_{tr}} I_{DD} dt = V_{DD} \int_0^{V_{DD}} C_L dV_{out} = C_L V_{DD}^2$$

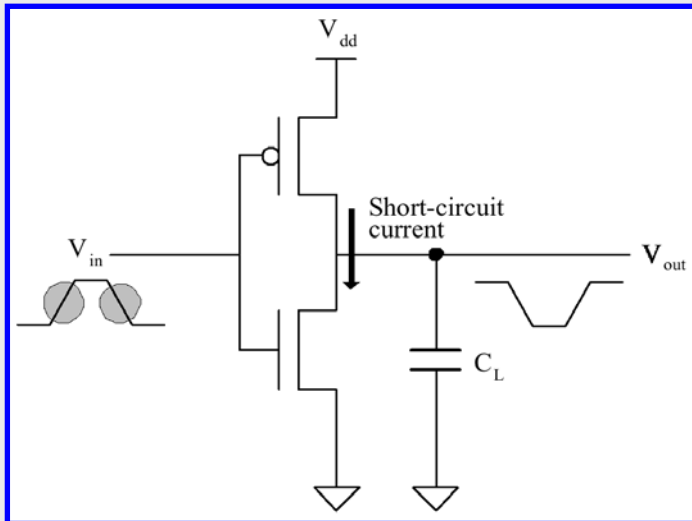
$$E_{C_L}^{0 \rightarrow 1} = \int_0^{\tau_{tr}} V_{out} I_{C_L} dt = V_{DD} \int_0^{V_{DD}} C_L V_{out} dV_{out} = \frac{1}{2} C_L V_{DD}^2$$

$$P_{dynamic} = s C_L V_{DD}^2 \frac{1}{T} = s C_L V_{DD}^2 f$$

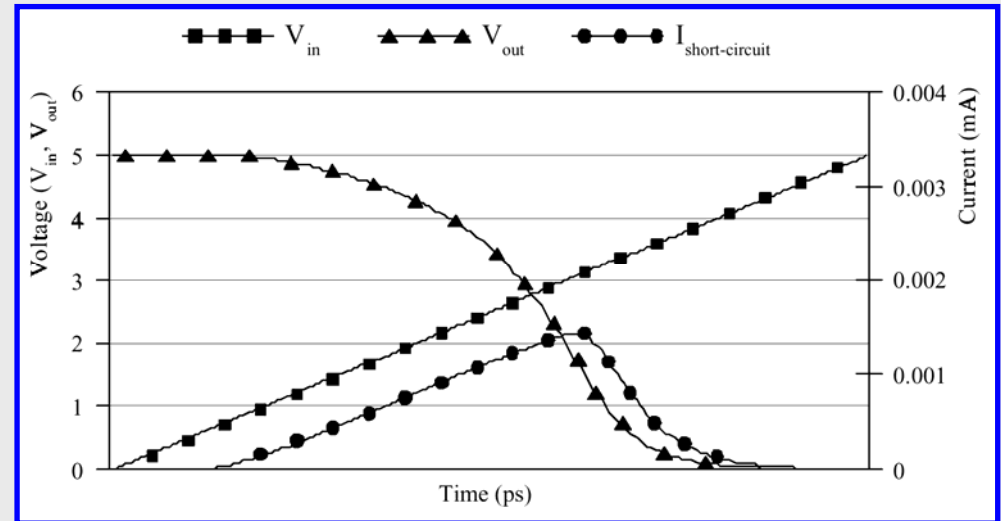
s: δραστηριότητα μεταγωγής (switching activity) είναι ο μέσος αριθμός φορτίσεων της C_L (δηλ. μεταβάσεων $0 \rightarrow 1$ στον κόμβο εξόδου) στο χρονικό διάστημα $[0, T]$ και f η συχνότητα λειτουργίας του αντιστροφέα.

Κατανάλωση ενέργειας βραχυκυκλώματος (1)

- Ο υπολογισμός της κατανάλωσης ενέργειας βραχυκυκλώματος είναι πιο σύνθετος λόγω των πολλών παραγόντων που την επηρεάζουν.
- Οφείλεται στο αγώγιμο μονοπάτι που δημιουργείται μεταξύ της τροφοδοσίας και της γείωσης, κατά τη διάρκεια μεταγωγής (switching) μιας πύλης CMOS και εξαρτάται από το χρόνο μετάβασης των εισόδων, το χωρητικό φορτίο, την τάση τροφοδοσίας και από τα εσωτερικά χαρακτηριστικά της πύλης (μέγεθος τρανζίστορ κλπ.).

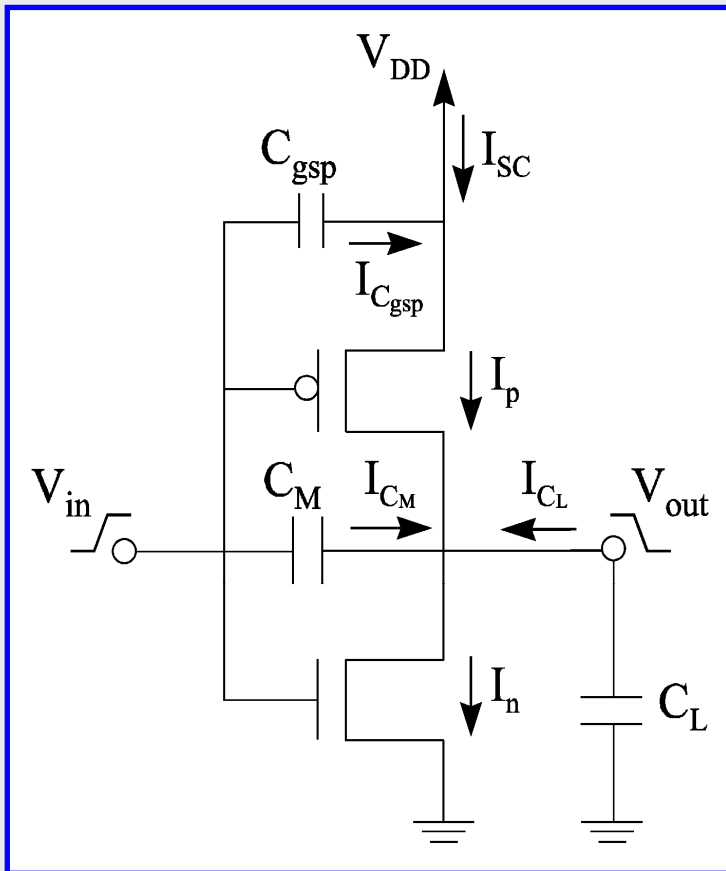


$$P_{\text{short-circuit}} = I_{\text{sc}} V_{\text{DD}}$$



Κατανάλωση ενέργειας βραχυκυκλώματος (2)

$$I_{SC} = I_p - I_{C_{gsp}}$$



$$I_p = \begin{cases} k_{lp}(1-x-p)^{\alpha_p/2}(1-u_{out}), & 1-u_{out} < u'_{dop}, \text{ Linear region} \\ k_{sp}(1-x-p)^{\alpha_p}, & 1-u_{out} \geq u'_{dop}, \text{ Saturation region} \\ 0, & x \geq 1-p, \text{ Cutoff region} \end{cases}$$

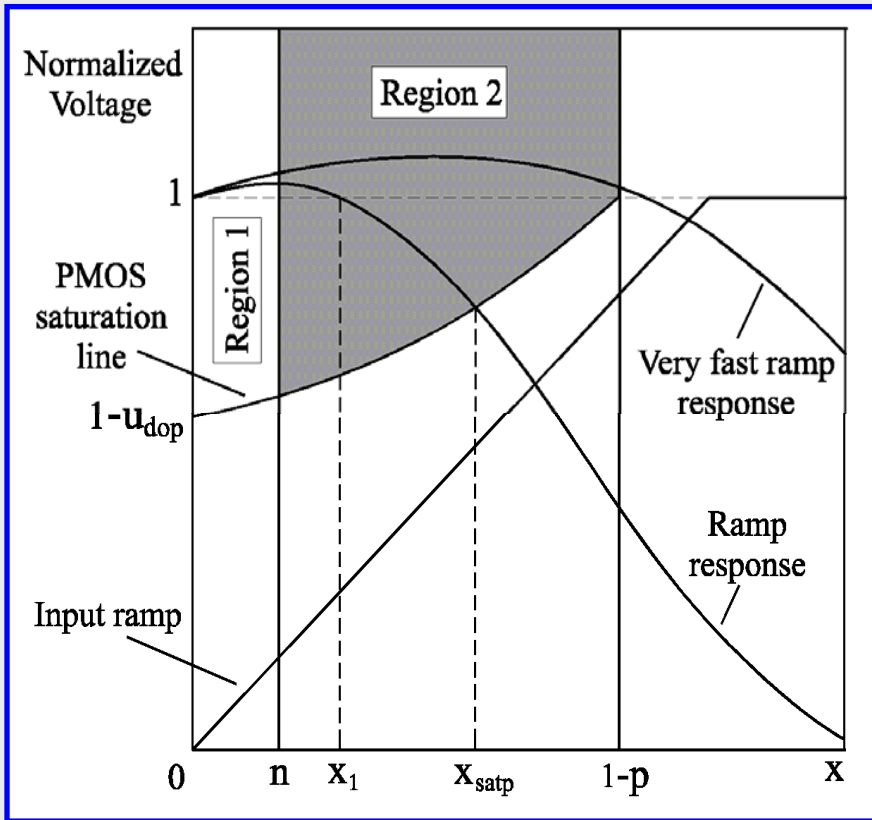
$$k_{sp} = \frac{I_{D0p}}{(1-p)^{\alpha_p}}, \quad k_{lp} = \frac{I_{D0p}}{u_{dop}(1-p)^{\alpha_p/2}}$$

$$u'_{dop} = u_{dop} \left(\frac{1-x-p}{1-p} \right)^{\frac{\alpha_p}{2}}$$

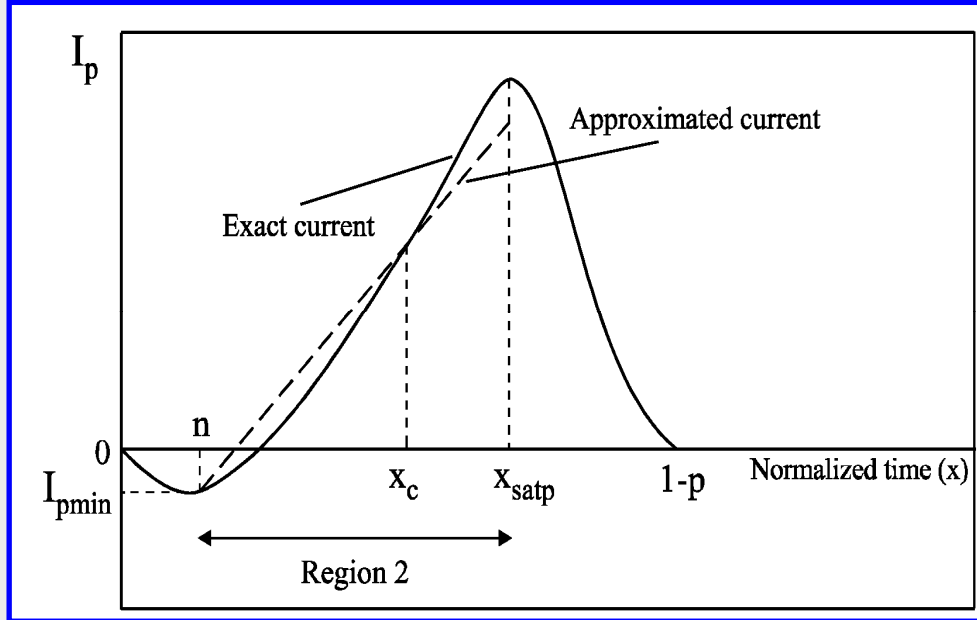
$$-C_L \frac{dV_{out}}{dt} + C_M \left(\frac{dV_{in}}{dt} - \frac{dV_{out}}{dt} \right) + I_p - I_n = 0$$

$$I_{C_{gsp}} = C_{gsp} \frac{dV_{in}}{dt} = C_{gsp} \frac{V_{DD}}{\tau}$$

Κατανάλωση ενέργειας βραχυκυκλώματος (3)



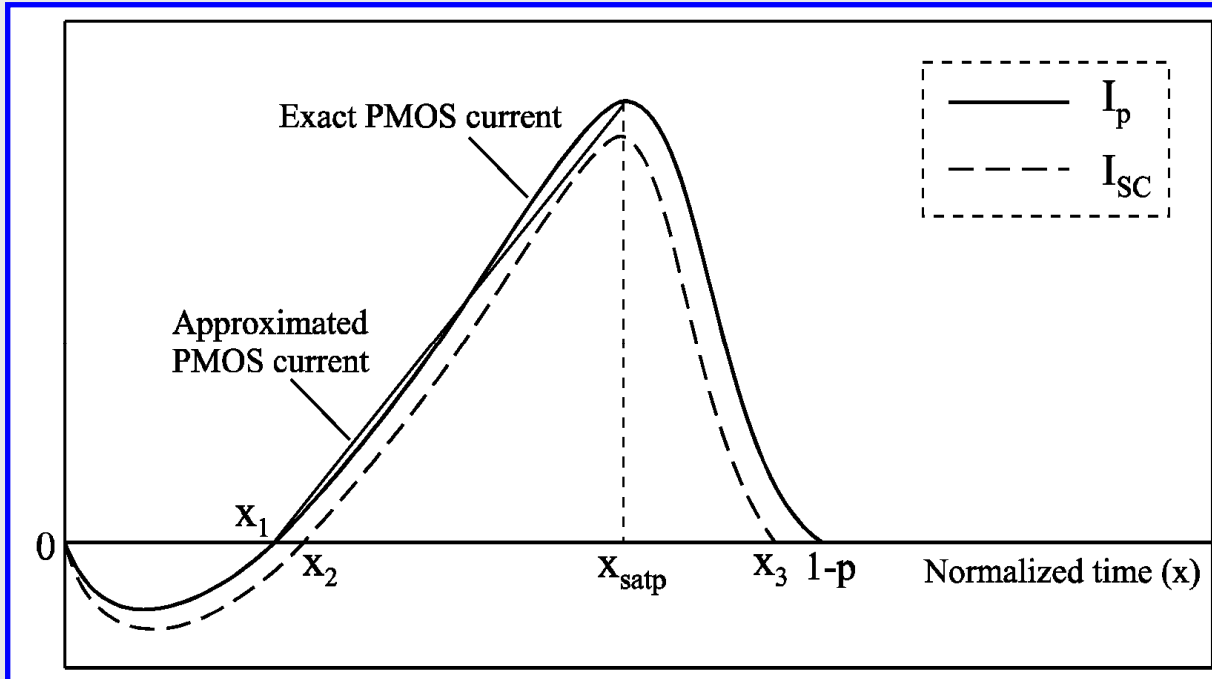
$$u_{out} = 1 + c_m y_n^{-1} (1 - e^{-y_n x})$$



$$I_p = I_{pmin} + S(x - n)$$

$$u_{out} = 1 + c_m (x - n + R) + I_{pmin} d (x - n) + [S d (x - n)^2 / 2] - [A_{sn} (x - n)^{\alpha_n + 1}] / (\alpha_n + 1)$$

Κατανάλωση ενέργειας βραχυκυκλώματος (4)

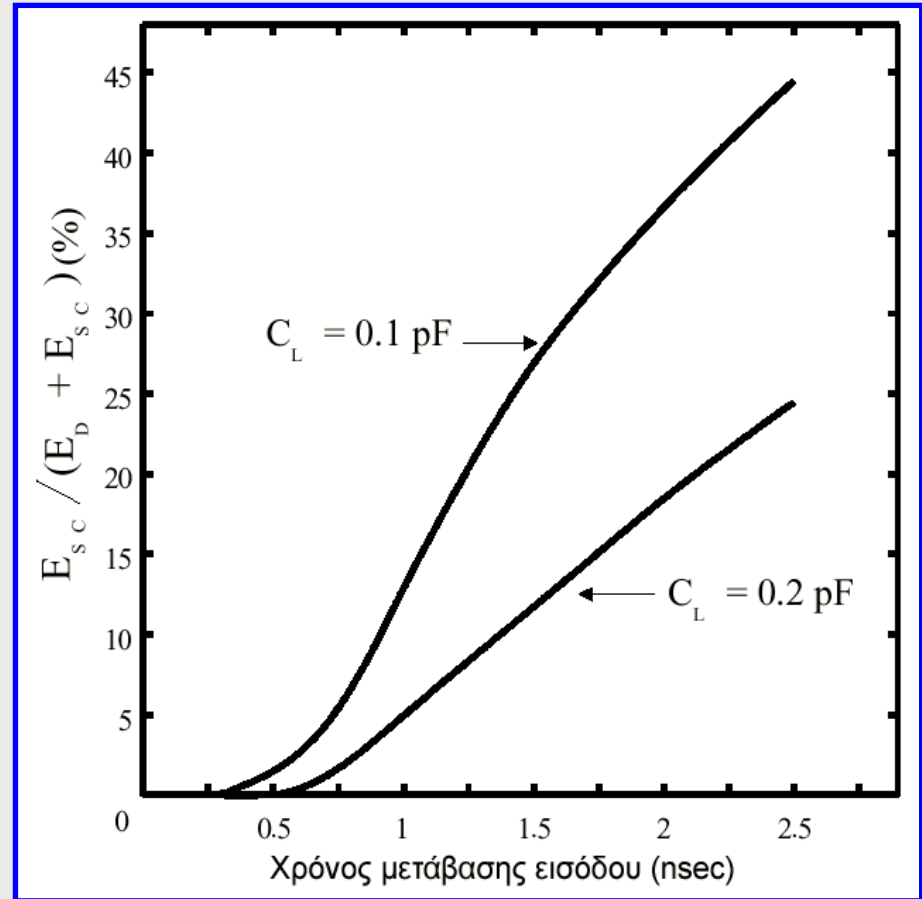
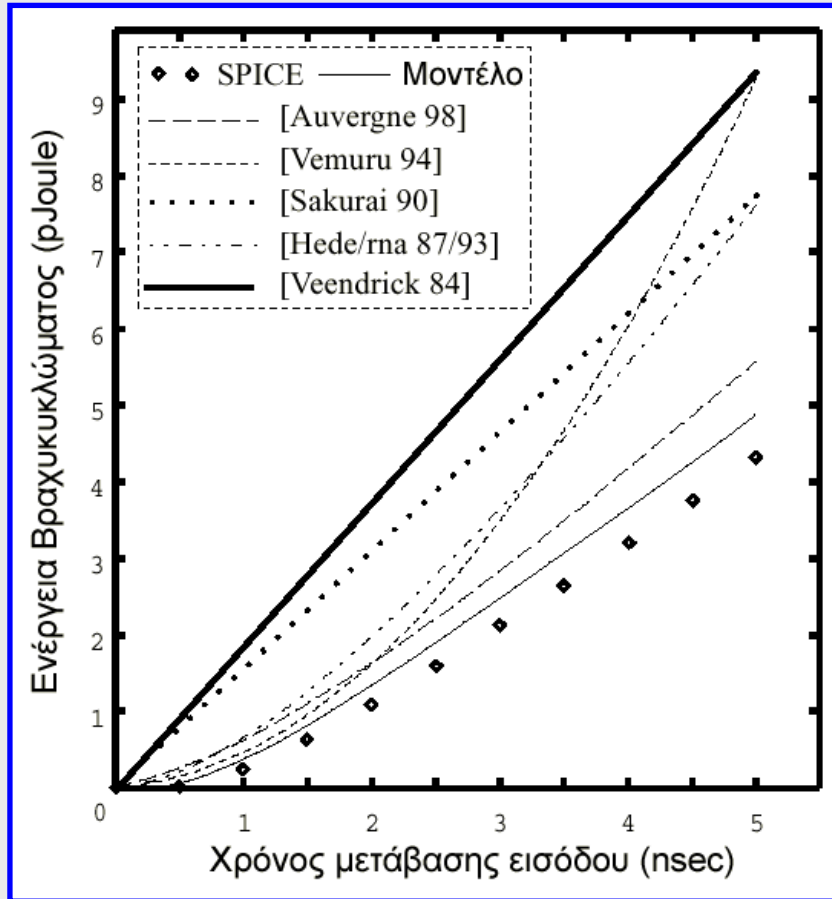


$$E_{SC}^{1 \rightarrow 0} = V_{DD} \int_{x_2}^{x_3} I_{SC} \tau dx$$

$$E_{sc}^{1 \rightarrow 0} = \frac{V_{DD}}{2} (X_{satp} - X_2) \left[(x_{satp} + x_2 - 2x_1) S' - \frac{2C_{gsp} V_{DD}}{\tau} \right] +$$

$$\frac{V_{DD} k_{sp} \tau}{(\alpha_p + 1)} \left[(1-p-x_{satp})^{\alpha_p + 1} - (1-p-x_3)^{\alpha_p + 1} \right] - C_{gsp} V_{DD}^2 (X_3 - X_{satp})$$

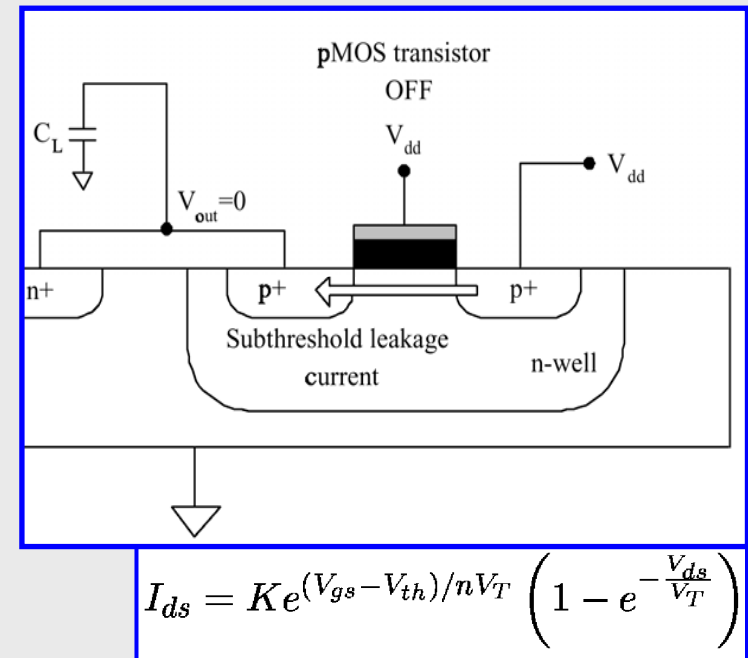
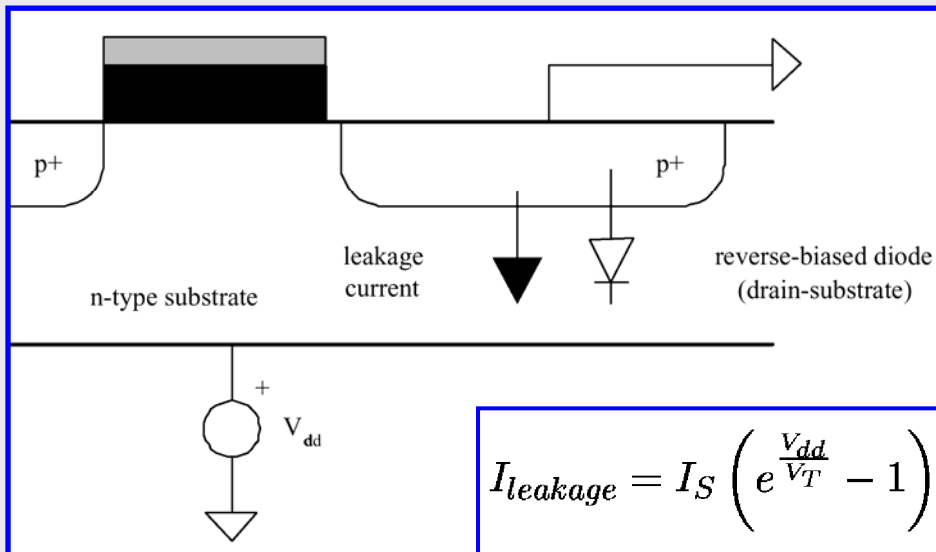
Κατανάλωση ενέργειας βραχυκυκλώματος (5)



Η συμμετοχή της ενέργειας βραχυκυκλώματος αυξάνεται όταν ο χρόνος μετάβασης εισόδου αυξάνεται ή όταν η χωρητικότητα εξόδου μειώνεται, δηλ. όταν η μετάβαση της τάσης εισόδου γίνεται πιο αργή από τη μετάβαση της τάσης εξόδου.

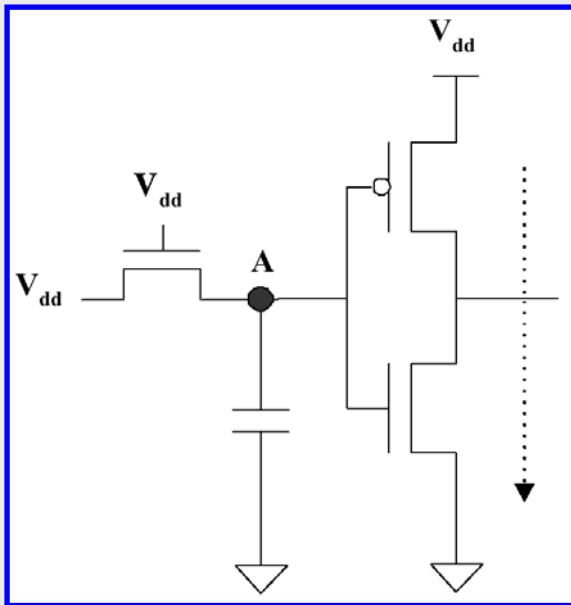
Κατανάλωση ενέργειας διαρροής

- Οφείλεται στα ρεύματα διαρροής των ανάστροφα πολωμένων διόδων μεταξύ των περιοχών διάχυσης και του υποστρώματος, καθώς και στο ρεύμα περιοχής υποκατωφλίου των τρανζίστορ.
- Εξαρτάται από παραμέτρους της τεχνολογίας που χρησιμοποιείται και είναι αυξημένη (έως και 15% της συνολικής κατανάλωσης) σε τεχνολογίες υπομικρομέτρου (deep submicron) όπου χρησιμοποιείται ιδιαίτερα χαμηλή τάση κατωφλίου.



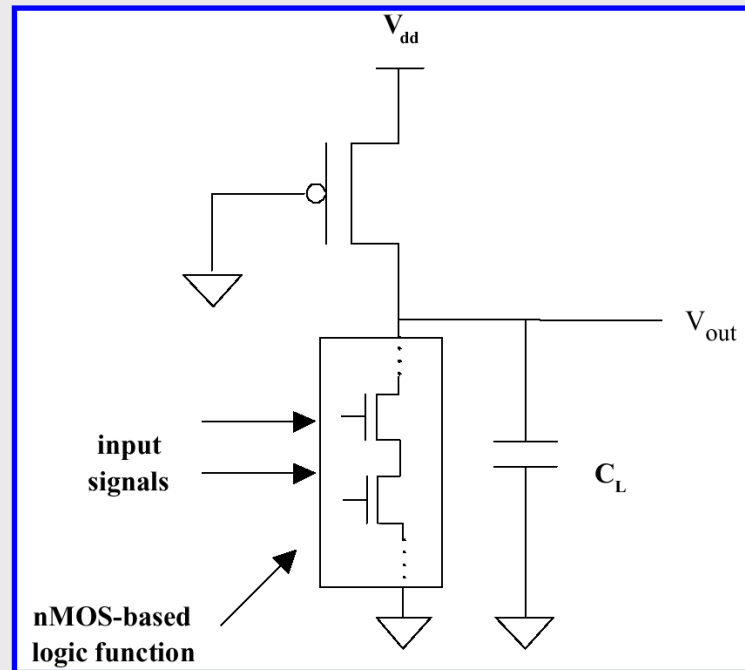
Στατική κατανάλωση ενέργειας

- Όταν τα κυκλώματα συμπληρωματικής λογικής βρίσκονται σε κατάσταση ηρεμίας δεν υπάρχει αγωγιμο μονοπάτι μεταξύ τροφοδοσίας και γείωσης, οπότε η στατική κατανάλωση περιορίζεται σε αυτή των ρευμάτων διαρροής.
- Εξαιρέσεις: οδήγηση πυλών CMOS με τρανζίστορ περάσματος, και ψεύδο-nMOS λογική σχεδιασμού.



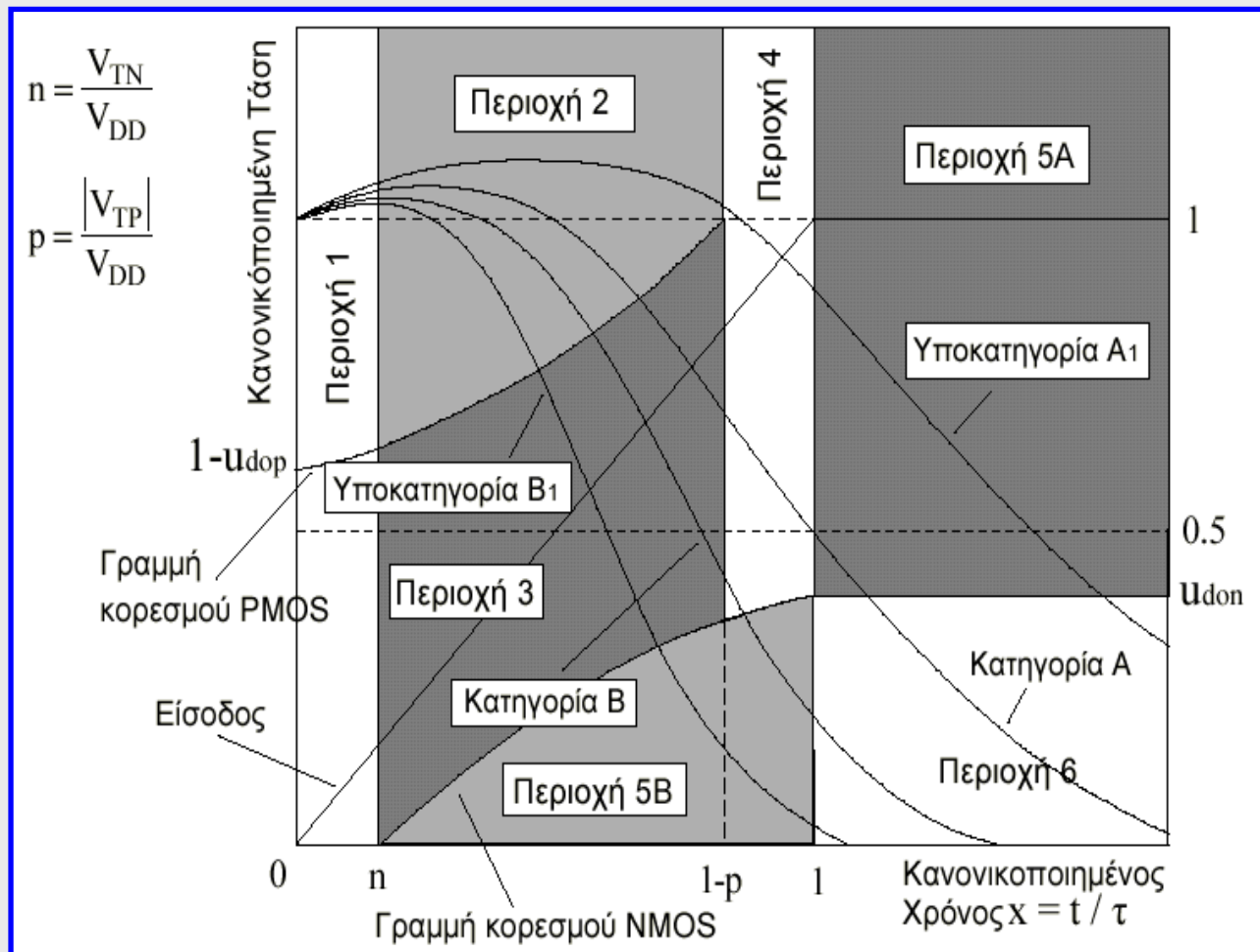
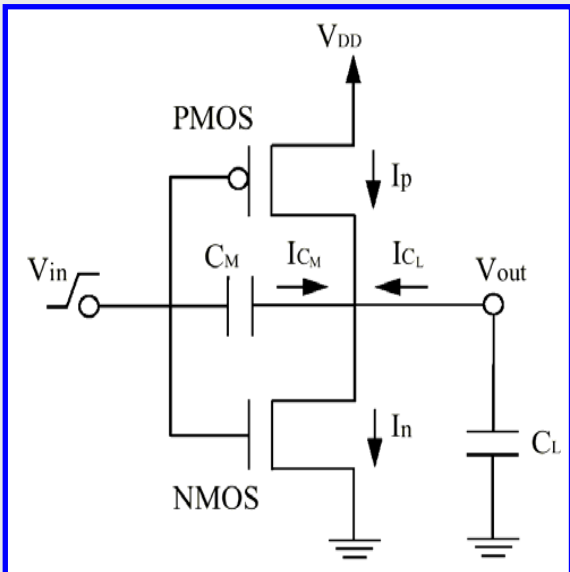
$$V_A = V_{DD} - V_{THn}$$

pMOS: weakly ON

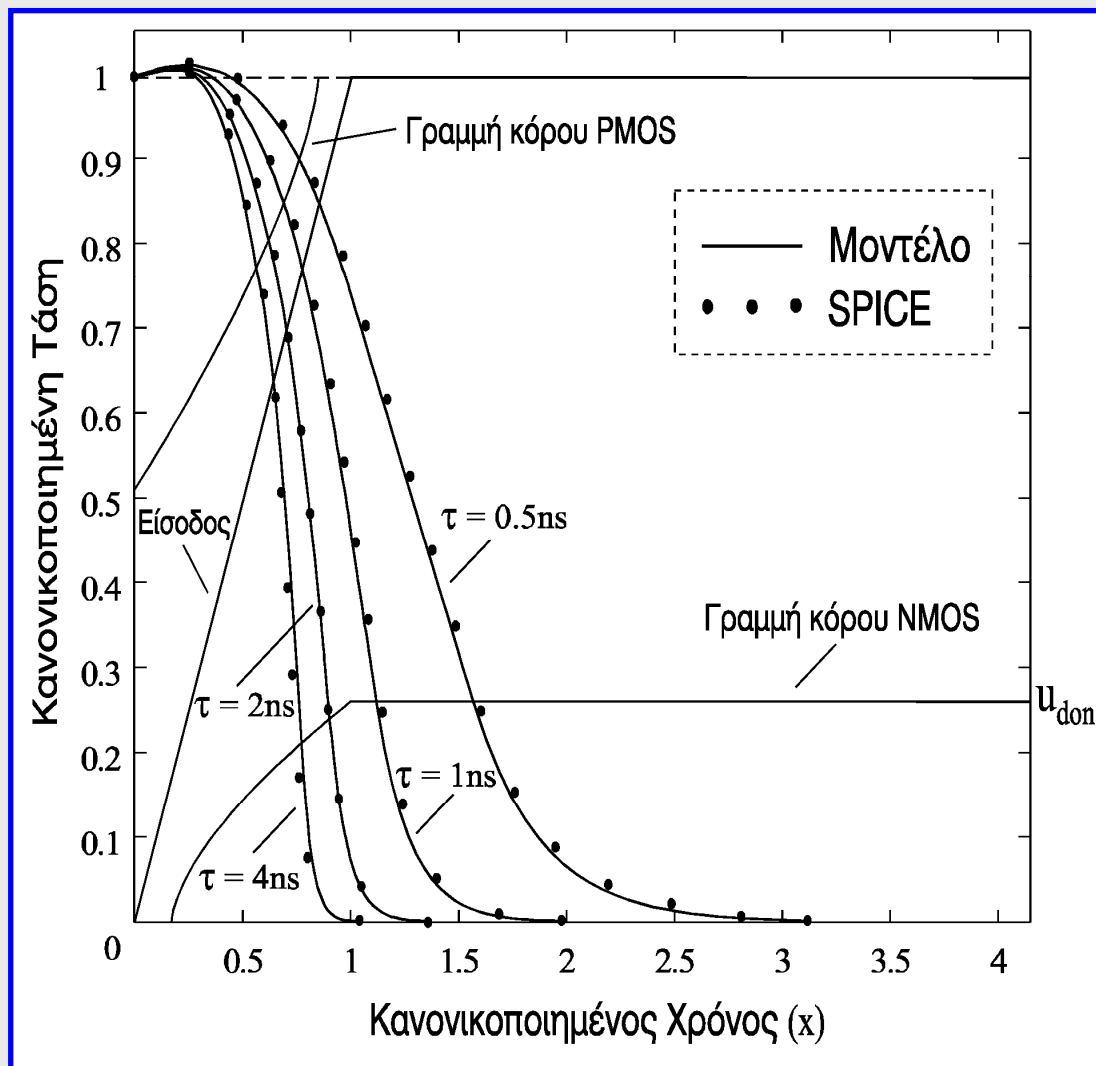


Όταν $V_{out} = 0$ δημιουργείται αγωγιμο μονοπάτι μεταξύ τροφοδοσίας και γείωσης

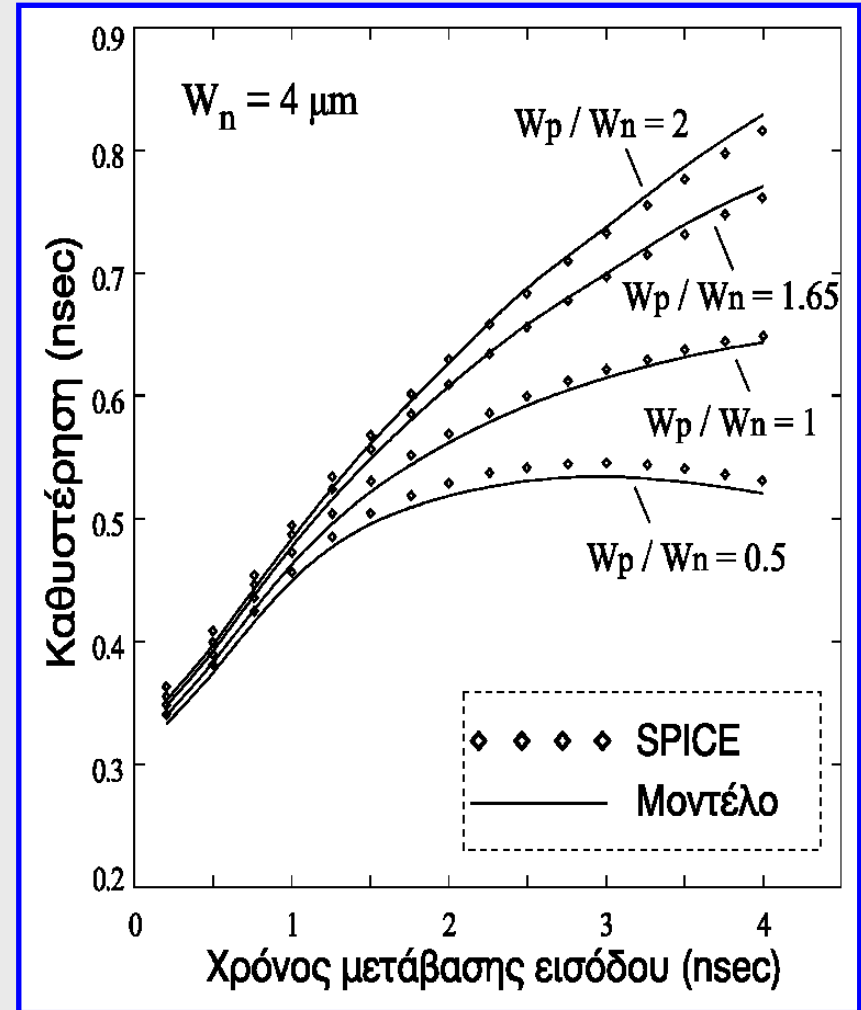
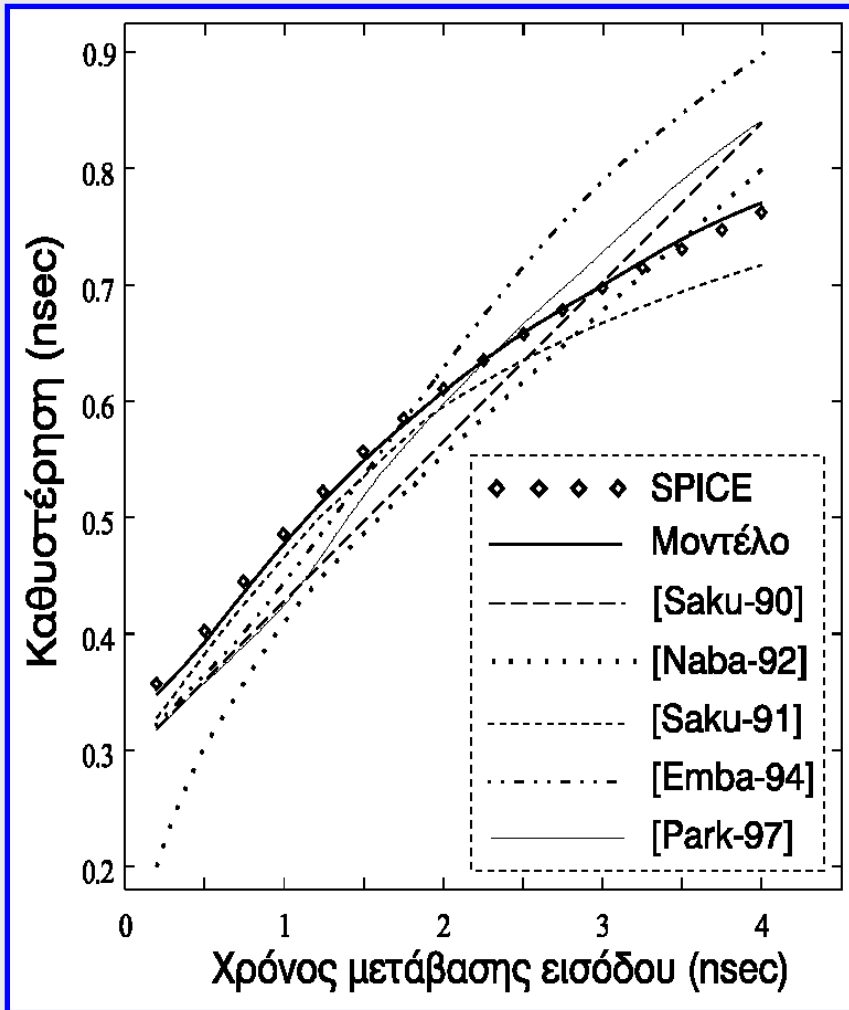
Χρονική απόκριση αντιστροφέα CMOS (1)



Χρονική απόκριση αντιστροφεία CMOS (2)

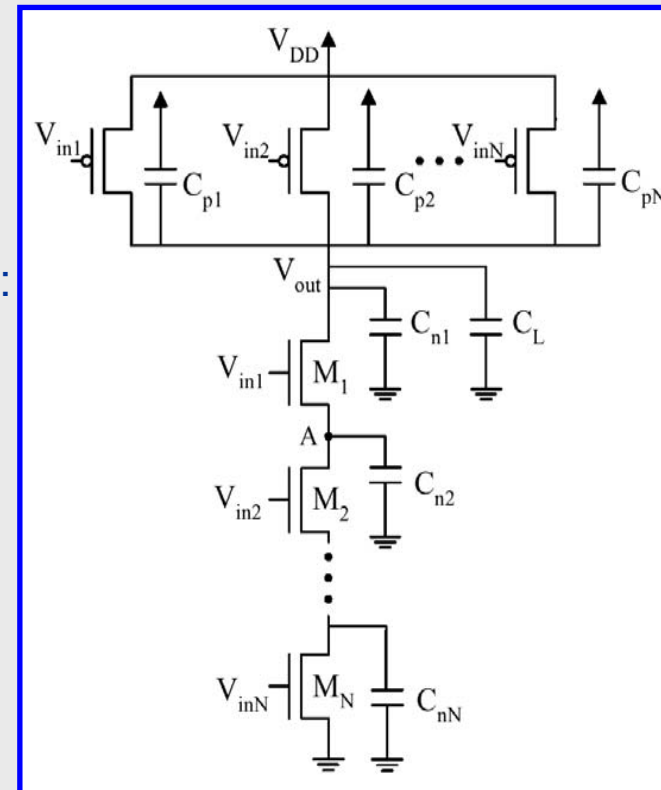


Καθυστέρηση αντιστροφεία CMOS

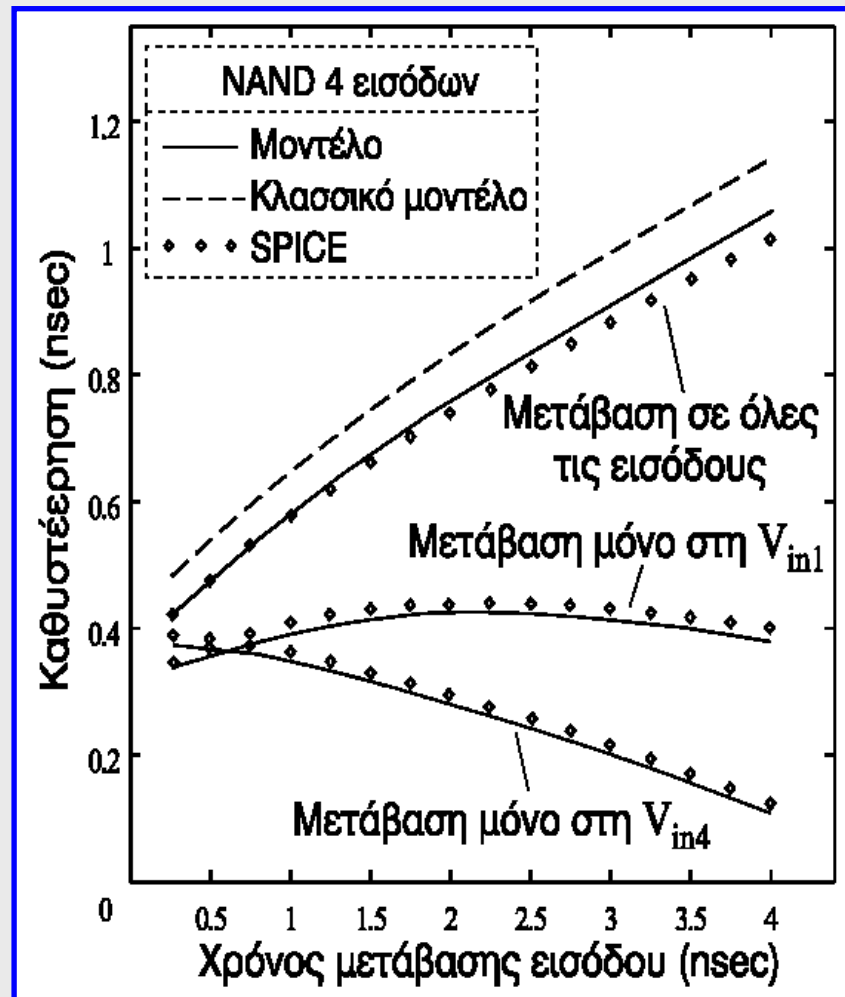
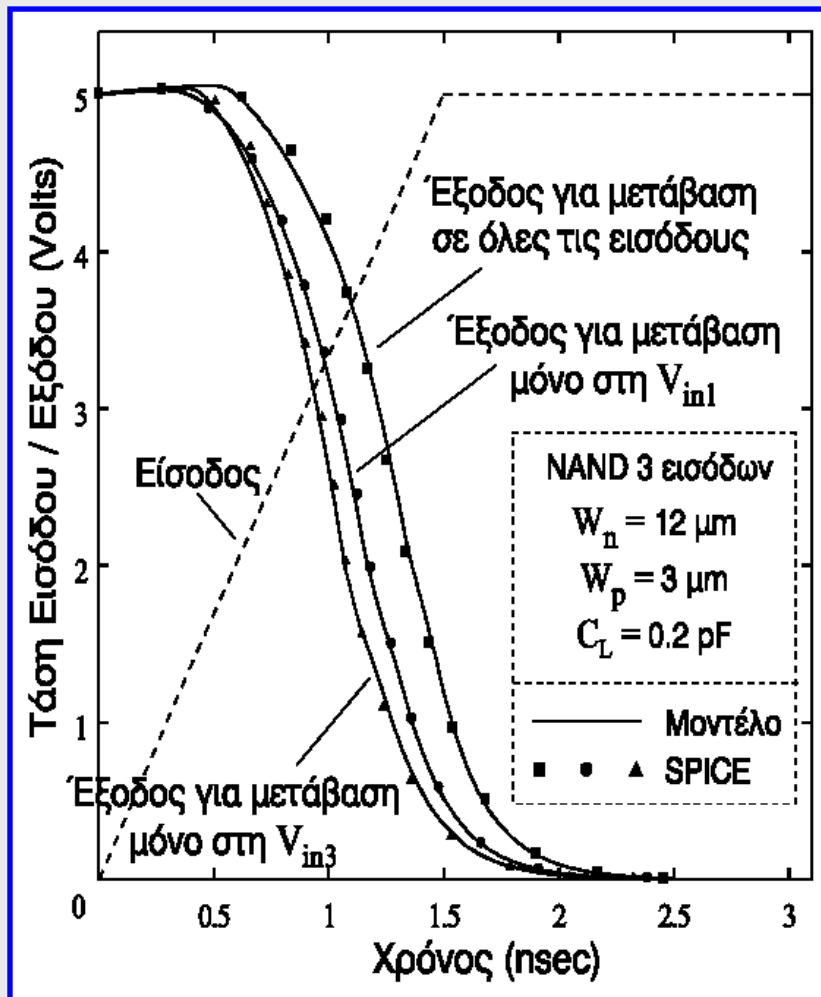


Αναγωγή πυλών σε ισοδύναμους αντιστροφείς

- Η αναγωγή περιλαμβάνει τη μοντελοποίηση:
 - των σειριακά συνδεδεμένων τρανζίστορ όταν λειτουργούν ως κλάδος φόρτισης ή εκφόρτισης της εξόδου των πυλών,
 - των σειριακά συνδεδεμένων τρανζίστορ όταν λειτουργούν ως κλάδος βραχυκυκλώματος των πυλών,
 - των παράλληλα συνδεδεμένων τρανζίστορ,
 - και της περίπτωσης χρονικά επικαλυπτόμενων εισόδων.
- Κατά την αναγωγή λαμβάνονται υπόψη οι επιδράσεις:
 - του χωρητικού φορτίου εξόδου,
 - του χρόνου μετάβασης των εισόδων,
 - του αριθμού των εισόδων που βρίσκονται υπό μετάβαση,
 - της θέσης των εισόδων που βρίσκονται υπό μετάβαση,
 - του φαινομένου σώματος (body effect),
 - και των χωρητικότητων των εσωτερικών κόμβων.



Καθυστέρηση πυλών CMOS



Καθυστέρηση κυκλωμάτων CMOS

- Μια προσέγγιση πρώτου βαθμού για την εκτίμηση της καθυστέρησης κυκλωμάτων CMOS δείχνει την εξάρτησή της από τις κυριότερες παραμέτρους του κυκλώματος:

$$T_d \propto \frac{C_L V_{DD}}{K(V_{DD} - V_{TH})^\alpha}$$

- V_{DD} : Τάση τροφοδοσίας, V_{TH} : Τάση κατωφλίου, C_L : Χωρητικότητα εξόδου.
- K : εξαρτάται από το λόγο πλάτος και μήκους των τρανζίστορ και από τεχνολογικές παραμέτρους.
- α : δείκτης κορεσμού της ταχύτητας των φορέων (velocity saturation index) που λαμβάνει τιμές από 1 έως 2 (μειώνεται όσο μικραίνει το μήκος καναλιού των τρανζίστορ).

Συσχέτιση κατανάλωσης ενέργειας και καθυστέρησης

$$P_{\text{dynamic}} = s C_L V_{\text{DD}}^2 \frac{1}{T} = s C_L V_{\text{DD}}^2 f$$

$$P_{\text{short-circuit}} = I_{\text{sc}} V_{\text{DD}}$$

$$T_d \propto \frac{C_L V_{\text{DD}}}{K(V_{\text{DD}} - V_{\text{TH}})^\alpha}$$

$$I_{ds} = K e^{(V_{gs} - V_{th})/nV_T} \left(1 - e^{-\frac{V_{ds}}{V_T}} \right)$$

- Με μείωση της τάσης τροφοδοσίας είναι δυνατή η επίτευξη μείωσης της κατανάλωσης ενέργειας σε βαθμό τετραγώνου, αλλά τότε η καθυστέρηση αυξάνεται ιδιαίτερα όταν πρόκειται για χαμηλή τάση τροφοδοσίας κοντά στην τάση κατωφλίου.
- Ένας τρόπος να βελτιωθεί η καθυστέρηση του κυκλώματος είναι να μειωθούν οι τάσεις κατωφλίου των τρανζίστορ, αλλά τότε αυξάνεται η κατανάλωση λόγω ρευμάτων διαρροής.
- Με μείωση των παρασιτικών χωρητικοτήτων στους κόμβους του κυκλώματος μπορεί να επιτευχθεί ταυτόχρονη μείωση της κατανάλωσης ενέργειας και της καθυστέρησης.

Γιατί εναλλακτικές τεχνικές σχεδιασμού κυκλωμάτων ?

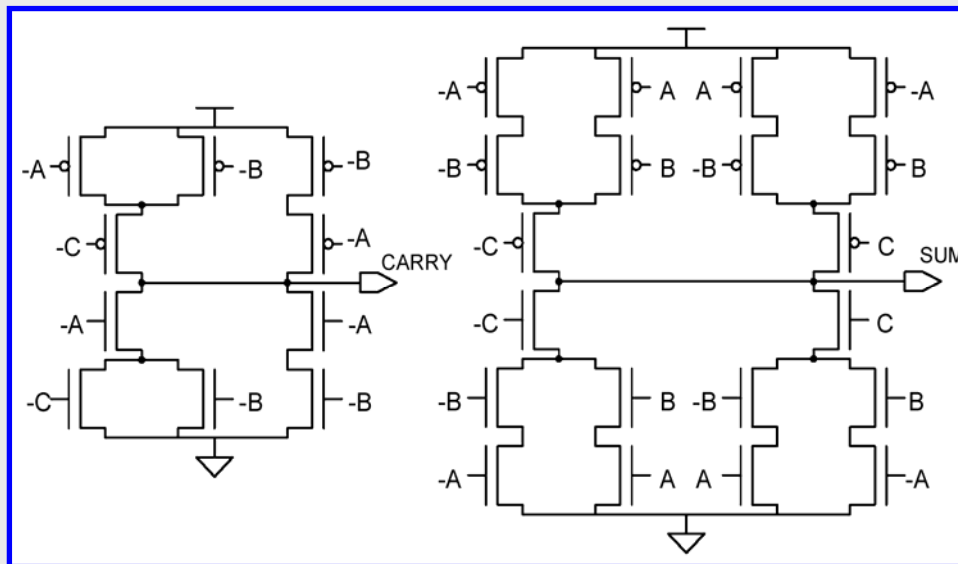
- Για την μείωση της κατανάλωσης ενέργειας έχουν προταθεί και χρησιμοποιηθεί διάφορες μέθοδοι:
 - Μείωση χωρητικότητας ολοκληρωμένων κυκλωμάτων με χρήση πιο αποδοτικών διεργασιών (SOI, deep-submicrometer, MCMs), οι οποίες όμως προϋποθέτουν και υψηλό κόστος.
 - Δυνατότητα μεταβολής της τάσης τροφοδοσίας, η οποία προϋποθέτει κατάλληλη υποστήριξη για λειτουργία των κυκλωμάτων σε χαμηλή τάση, DC/DC converters, και διαχείριση των προβλημάτων θορύβου.
 - Τεχνικές διαχείρισης κατανάλωσης ενέργειας σε όλα τα επίπεδα σχεδιασμού (shut-down, pipelining/parallelism, switching activity reduction, transistor sizing, buffering high capacitive loads, clock-gating, clock trees etc.).
 - Εναλλακτικές τεχνικές σχεδιασμού σε κυκλωματικό επίπεδο με μικρό κόστος χρήσης.

Τεχνικές σχεδιασμού κυκλωμάτων (design styles)

- Κλασσική στατική λογική CMOS (conventional static CMOS logic - CSL)
- Λογική με τρανζίστορ περάσματος (complementary pass-transistor logic - CPL)
- Λογική με διπλά τρανζίστορ περάσματος (dual pass-transistor logic - DPL)
- Στατική διαφορική διαδοχική λογική διακοπτικής τάσης (static differential cascade voltage switch logic – SDCVSL)
- Στατική λογική με διαφορικό επίπεδο διαίρεσης (static differential split-level logic - SDSL)
- Δυναμική λογική διαδοχικής επίδρασης (domino logic - DRDL)
- Δυναμική διαφορική διαδοχική λογική διακοπτικής τάσης (dynamic differential cascade voltage switch logic – DDCVSL)
- Διαφορική λογική με σήματα αυτοελέγχου (enable/disabled CMOS differential logic – ECDL)

Κλασσική στατική λογική CMOS (Conventional static CMOS logic - CSL)

- Περιλαμβάνει ένα δικτύωμα nMOS μεταξύ της γείωσης και του κόμβου εξόδου μιας βαθμίδας και ένα δεύτερο pMOS μεταξύ της τροφοδοσίας και του κόμβου εξόδου. Τα τρανζίστορ nMOS υλοποιούν την απαιτούμενη συνάρτηση ενώ τα pMOS την δυαδική της.
- Η μεγάλη αποδοχή της λογικής αυτής βασίζεται στην ευκολία σχεδιασμού που παρέχει, στα υψηλά περιθώρια θορύβου, στην ικανοποιητική ταχύτητα (ειδικά για μικρές πύλες), στους συγκρίσιμους χρόνους ανόδου και καθόδου και στο γεγονός ότι η λειτουργικότητα των κυκλωμάτων δεν εξαρτάται από το λόγο W/L των τρανζίστορ (ratioless).
- Για να επιτευχθεί ικανό ρεύμα ώστε να οδηγηθούν μεγάλα φορτία εξόδου, το μέγεθος των τρανζίστορ πρέπει να αυξηθεί με αποτέλεσμα να αυξάνεται η χωρητικότητα εισόδου οδηγώντας σε υψηλή καθυστέρηση και κατανάλωση ενέργειας.



Σχηματικό διάγραμμα
πλήρους αθροιστή

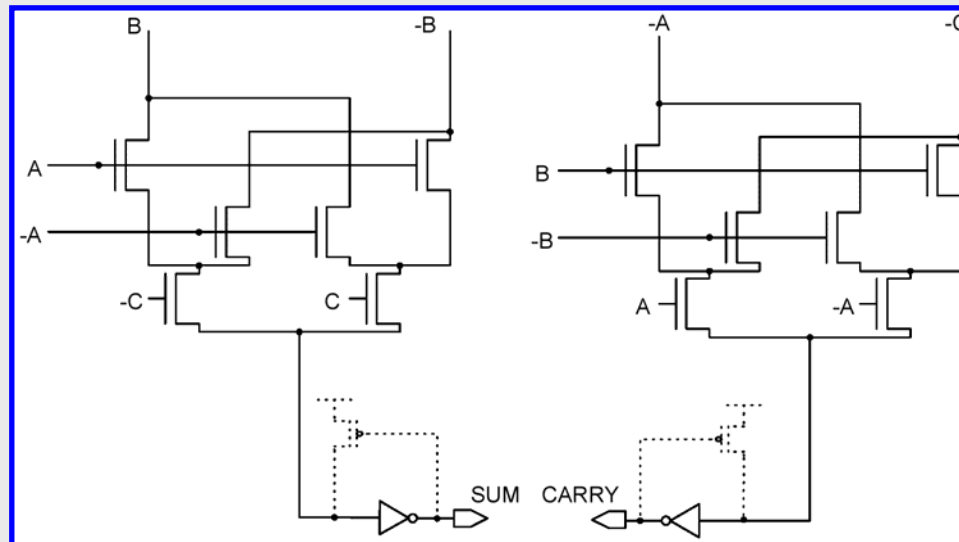
$$\text{SUM} = A \oplus B \oplus C$$
$$\text{CARRY} = AB + AC + BC$$

Λογική με τρανζίστορ περάσματος (Complementary pass-transistor logic - CPL)

- Οι συναρτήσεις υλοποιούνται ως δίκτυο διακοπών (nMOS pass transistors).
- Χαμηλή χωρητικότητα εισόδου → χαμηλή κατανάλωση ενέργειας και υψηλή ταχύτητα.
- Εύρος τάσης στην έξοδο των τρανζίστορ περάσματος μικρότερο από την V_{DD} :

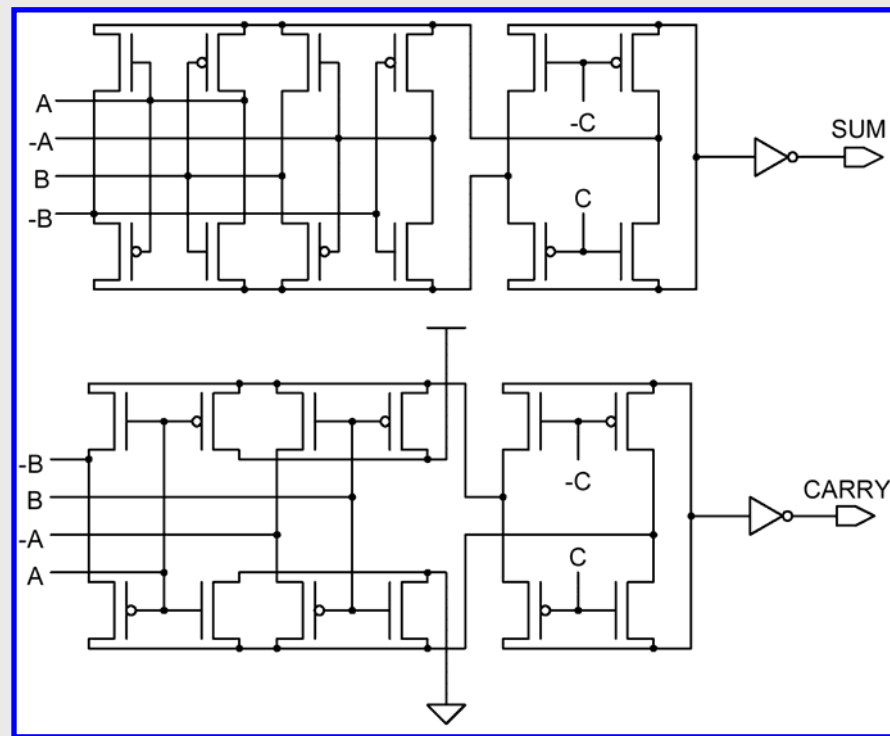
$$V_{DD}(V_{DD} - V_{THn}) C_{node} f < V_{DD}^2 C_{node} f$$

- Για να μειωθεί το στατικό ρεύμα στους αντιστροφείς εξόδου χρησιμοποιείται τρανζίστορ ανατροφοδότησης, το οποίο όμως αυξάνει τη χωρητικότητα εξόδου. Εναλλακτική λύση αποτελεί η χρήση τρανζίστορ με μικρότερη τάση κατωφλίου.



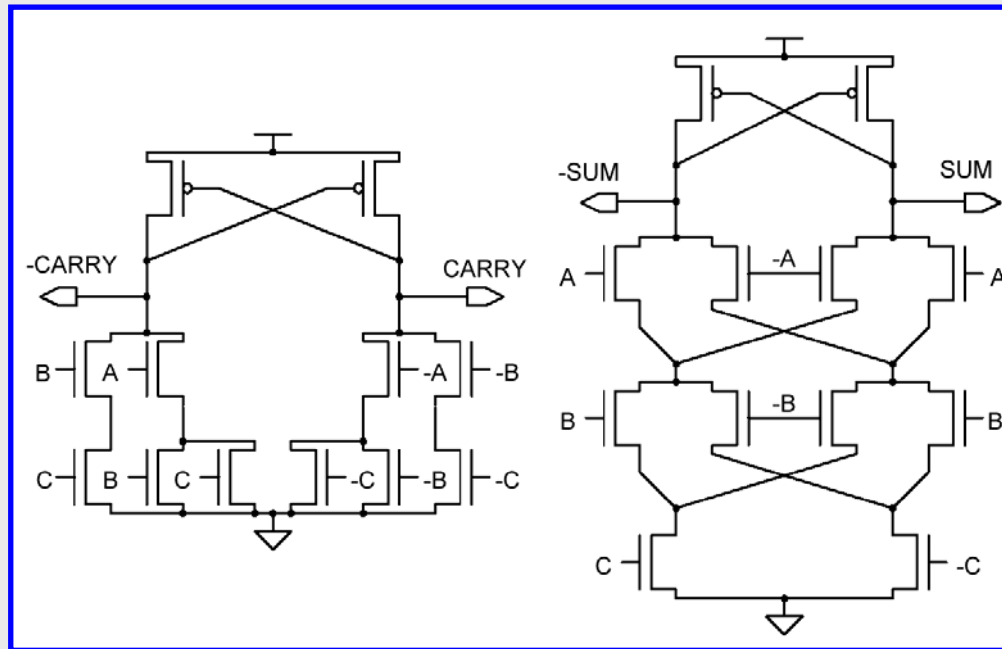
Λογική με διπλά τρανζίστορ περάσματος (Dual pass-transistor logic - DPL)

- Η χρησιμοποίηση pMOS τρανζίστορ παράλληλα με τα nMOS λύνει τα προβλήματα που δημιουργούνται από τη μειωμένη τάση υψηλής στάθμης στην CPL (ιδιαίτερα σε χαμηλές τάσεις τροφοδοσίας).
- Ωστόσο, η χρήση των pMOS τρανζίστορ οδηγεί σε υψηλότερη χωρητικότητα εισόδου.



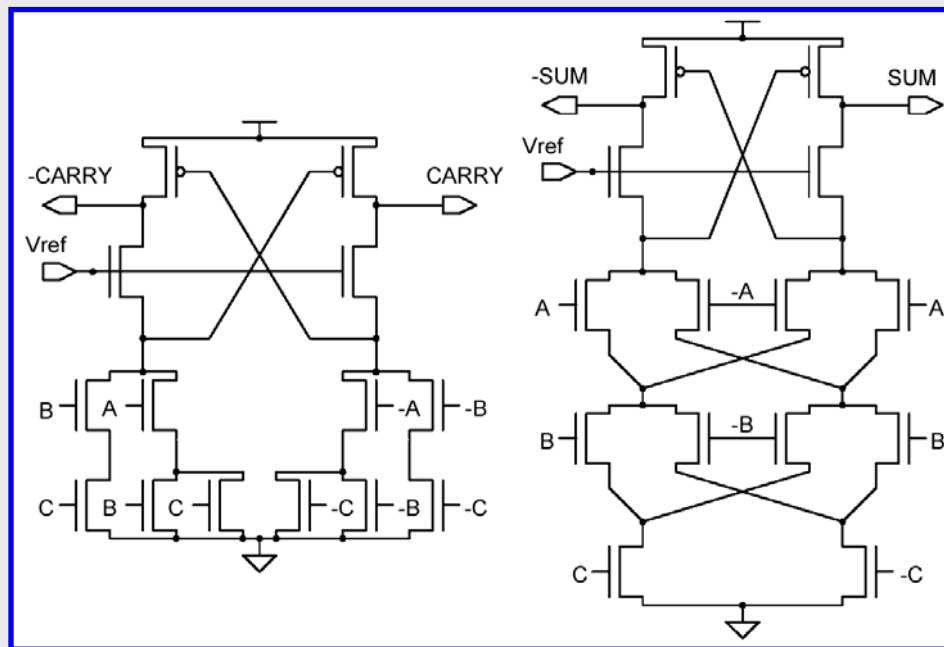
Στατική διαφορική διαδοχική λογική διακοπτικής τάσης (Static differential cascade voltage switch logic – SDCVSL)

- Δύο συμπληρωματικά δέντρα από τρανζίστορ nMOS υλοποιούν την απαιτούμενη συνάρτηση και την συμπληρωματική της.
- Ανάλογα με τις τιμές των εισόδων, γίνεται εκφόρτιση ενός εκ των δύο κόμβων εξόδου, και η τιμή της εξόδου κλειδώνεται από τα διασταυρωμένα τρανζίστορ pMOS.
- Η χωρητικότητα εισόδου είναι τουλάχιστον δύο φορές μικρότερη από εκείνη της κλασικής στατικής λογικής CMOS.



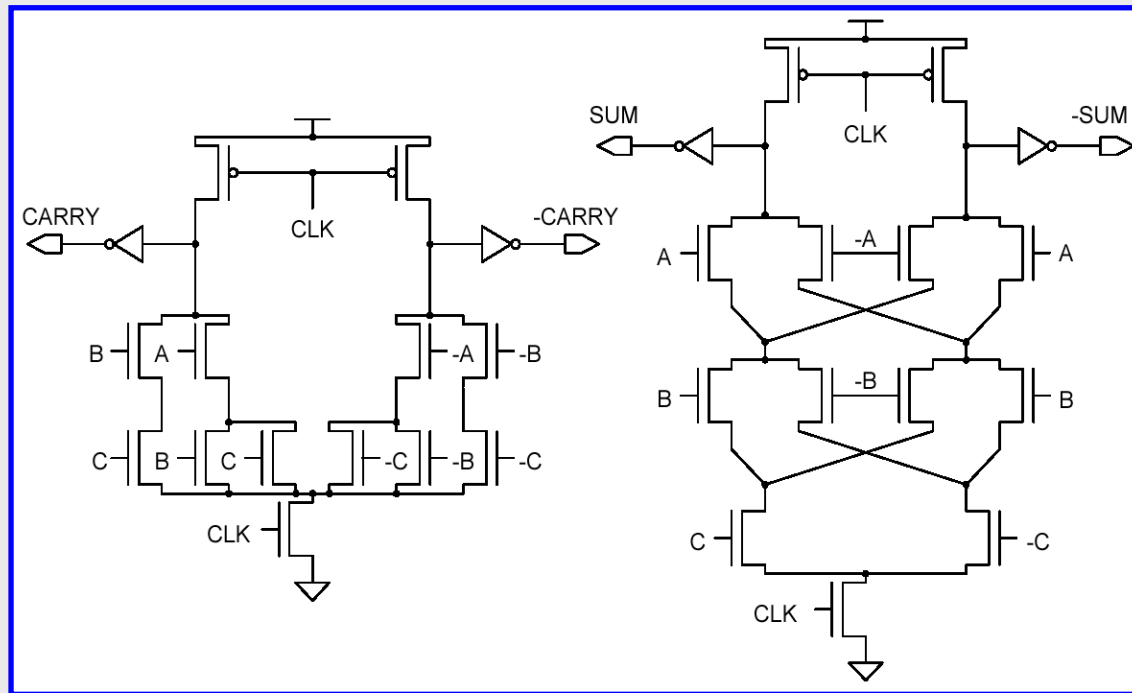
Στατική λογική με διαφορεικό επίπεδο διαίρεσης (Static differential split-level logic - SDSL)

- Δύο nMOS τρανζίστορ με τους ακροδέκτες πύλης συνδεδεμένους σε μια τάση αναφοράς ($0.5 V_{DD} + V_{THn}$) προστίθενται με σκοπό να μειώσουν το λογικό εύρος τάσης στους κόμβους εξόδου.
- Έτσι το κύκλωμα γίνεται γρηγορότερο σε σχέση με εκείνο της SDCVSL.
- Το μειονέκτημα της λογικής αυτής είναι η στατική κατανάλωση ενέργειας καθώς και το αυξημένο μέγεθος λόγω των επιπλέον τρανζίστορ.



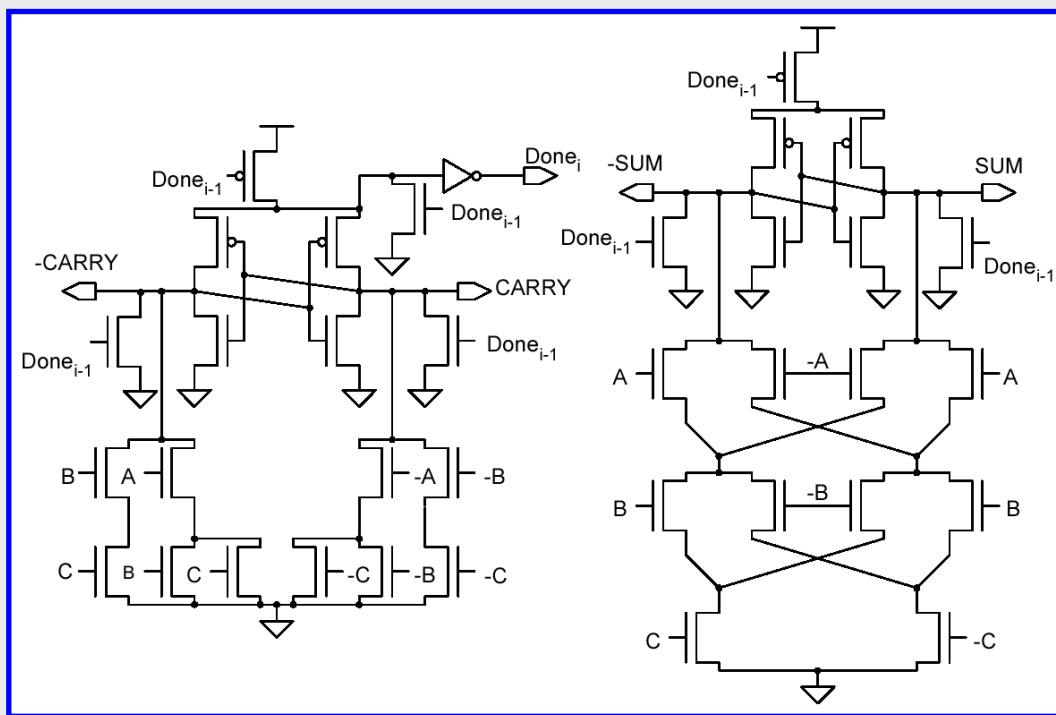
Δυναμική διαφορική διαδοχική λογική διακοπτικής τάσης (Dynamic differential cascade voltage switch logic – DDCVSL)

- Είναι ένας συνδυασμός της SDCVSL και της Domino λογικής.
- Το πλεονέκτημα της έναντι της Domino είναι ότι μπορεί να υλοποιήσει κάθε είδους λογική συνάρτηση (ενώ η Domino υλοποιεί μόνο non-inverted). Για παράδειγμα η υλοποίηση της συνάρτησης κρατουμένου και της συμπληρωματικής της υλοποιείται σε μια βαθμίδα διαφορικής διαδοχικής λογικής.



Διαφορική λογική με σήματα αυτοελέγχου (Enable/disabled CMOS differential logic – ECDL)

- Χρησιμοποιεί σήματα ελέγχου που υποδεικνύουν την έναρξη και το τέλος του υπολογισμού των λογικών συναρτήσεων που υλοποιούν, με σκοπό να αυξήσουν την ταχύτητα των κυκλωμάτων (άρα δεν υπάρχει περιορισμός στην χρησιμοποιούμενη συχνότητα λειτουργίας).
- Βασικό μειονέκτημα (κυρίως ως προς την κατανάλωση ενέργειας) οι επιπλέον αντιστροφείς που χρησιμοποιούνται για την αλλαγή της πολικότητας των κόμβων εξόδου.

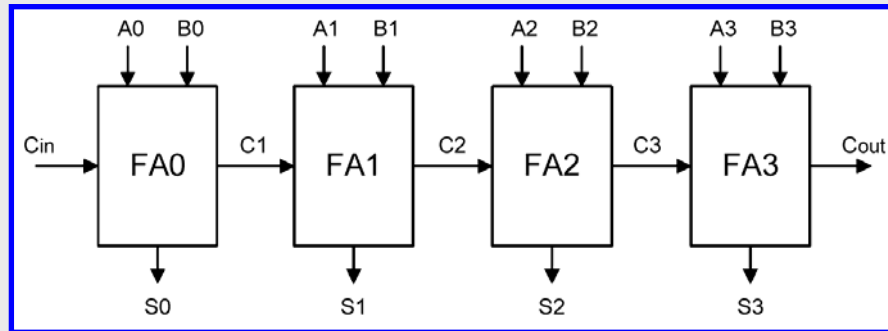


Σύγκριση στατικών και δυναμικών λογικών

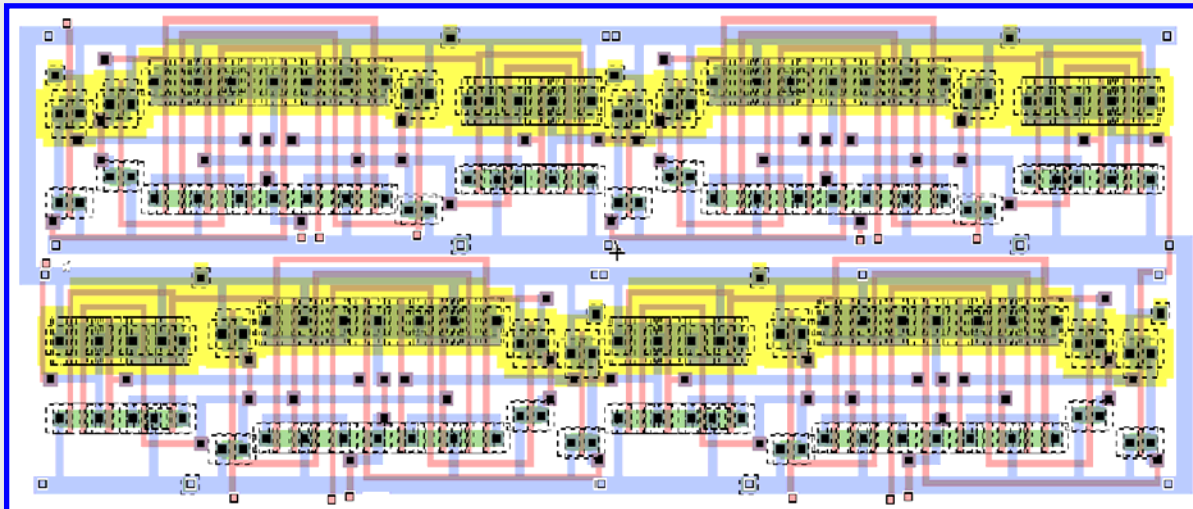
Χαρακτηριστικά	Στατικές λογικές	Δυναμικές λογικές
Ανεπιθύμητες μεταβάσεις (glitches)	Επιπρόσθετη κατανάλωση έως και 30%	Δεν υπάρχουν
Κατανάλωση βραχυκυκλώματος	~15% της συνολικής κατανάλωσης ενέργειας	Δεν υπάρχει
Συχνότητα μεταβάσεων (switching activity)	Εξαρτάται από την προηγούμενη κατάσταση (πύλη NOR2: $s = 3/16$)	Καταναλώνεται ενέργεια κάθε φορά που η έξοδος είναι σε λογικό "0" (πύλη NOR2: $s = 0.75$)
Παρασιτικές χωρητικότητες	Χρησιμοποιούν περισσότερα τρανζίστορ, άρα παρουσιάζουν μεγαλύτερες παρασιτικές χωρητικότητες	Χρησιμοποιούν λιγότερα τρανζίστορ, άρα παρουσιάζουν μικρότερες παρασιτικές χωρητικότητες
Κατανάλωση λόγω κυκλωμάτων ρολογιού	Δεν υπάρχει	Επιπρόσθετη κατανάλωση λόγω των τρανζίστορ προφόρτισης και του δικτύου διάδοσης του ρολογιού

Αξιολόγηση τεχνικών σχεδιασμού κυκλωμάτων

- Για την αξιολόγηση χρησιμοποιήθηκε ένας αθροιστής διάδοσης κρατουμένου τεσσάρων bit (4-bit ripple-carry), ο οποίος σχεδιάστηκε σε φυσικό επίπεδο (full-custom) με όλες τις τεχνικές σχεδιασμού. Χρησιμοποιήθηκε το εργαλείο GDT της Mentor Graphics.



Σχηματικό διάγραμμα
αθροιστή 4-bit



Φυσικός σχεδιασμός
αθροιστή 4-bit
με την κλασική
στατική λογική CMOS

Περιοχή πυριτίου και αριθμός τρανζίστορ

Τεχνική σχεδιασμού	Περιοχή ($\times 10^4 \mu\text{m}^2$)	Αριθμός τρανζίστορ
CSL	5.42	144
CPL	4.46	88
DPL	6.52	136
SDCVSL	5.19	114
SDSL	6.39	130
DRDL	6.48	146
DDCVSL	7.22	154
ECDL	7.65	166

Μεθοδολογία μέτρησης κατανάλωσης ενέργειας και καθυστέρησης

- Μετά το φυσικό σχεδιασμό του αθροιστή 4-bit με όλες τις τεχνικές, παράχθηκαν ισοδύναμα κυκλώματα έτσι ώστε να γίνουν οι μετρήσεις κατανάλωσης ενέργειας και καθυστέρησης με χρήση του εξομοιωτή HSPICE.
- Για την εκτίμηση της μέσης κατανάλωσης ενέργειας πρέπει να ληφθεί υπόψη η εξάρτησή της από τα δεδομένα εισόδου του κάθε κυκλώματος.
- Χρησιμοποιήθηκε μια στατιστική μέθοδος σε συνδυασμό με μετρήσεις που έγιναν στο HSPICE με βάση ένα υποκύκλωμα μέτρησης.
- Για κάθε κύκλωμα αθροιστή παράχθηκαν 200 τυχαία δείγματα μεταβάσεων εισόδων. Για κάθε δείγμα μετρήθηκε η κατανάλωση ενέργειας και στη συνέχεια ακολουθήθηκε μια μέθοδος εκτίμησης της μέσης τιμής για να υπολογιστεί τελικά η μέση κατανάλωση ενέργειας.
- Η καθυστέρηση για κάθε κύκλωμα αθροιστή μετρήθηκε για το δείγμα εισόδων που προκαλεί διάδοση του κρατουμένου από τη θέση LSB στη θέση MSB (worst-case).
- Με βάση τις παραπάνω μετρήσεις αναλύθηκε και το μέγεθος του γινομένου κατανάλωσης ενέργειας και καθυστέρησης για κάθε κύκλωμα αθροιστή.
- Διατέθηκε χρόνος 20 nsec (δηλ. συχνότητα 50 MHz) για μία άθροιση έτσι ώστε να καλυφθεί η ολοκληρωμένη λειτουργία του αργότερου αθροιστή.

Μέτρηση κατανάλωσης ενέργειας

- Ενέργεια που καταναλώνεται από το κύκλωμα στο χρονικό διάστημα T :

$$E = V_{DD} \int_0^T I_{DD}(t) dt$$

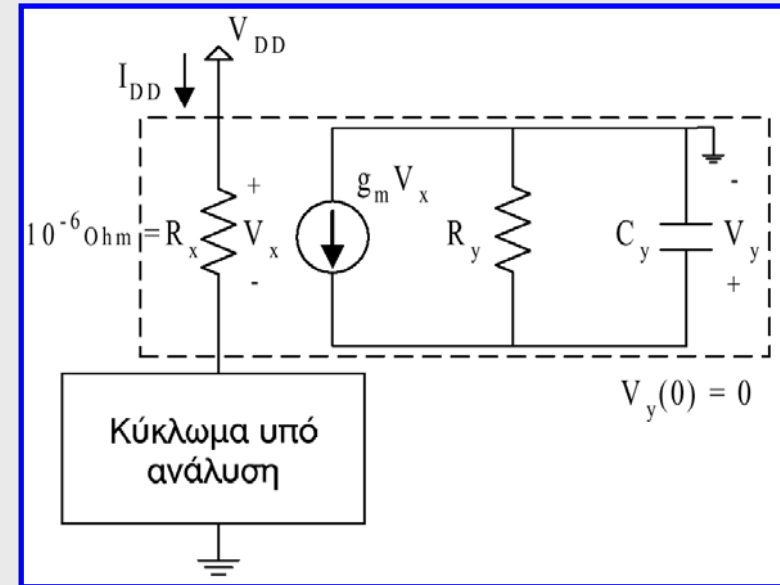
- Τάση στον πυκνωτή C_y στο τέλος του χρονικού διαστήματος T :

$$V_y = \frac{g_m R_x}{C_y} \int_0^T I_{DD}(t) dt$$

$$R_y C_y \gg T$$

- Επιλέγοντας τα στοιχεία του υποκυκλώματος μέτρησης έτσι ώστε να ισχύει η παρακάτω συνθήκη, η τάση στα άκρα του πυκνωτή στο τέλος του χρονικού διαστήματος T , είναι ποσοτικά ίση με την κατανάλωση ενέργειας.

$$V_{DD} = (g_m R_x) / C_y$$



Διάταξη μέτρησης κατανάλωσης ενέργειας σε κυκλωματικούς εξομοιωτές (SPICE, HSPICE)

Υπολογισμός μέσης κατανάλωσης ενέργειας

- Η ισχύς μπορεί να προσεγγιστεί ως κανονικά κατανομημένη. Για την ανάλυσή της, χρησιμοποιήθηκε η κατανομή *student (t)* λόγω του σχετικά μικρού αριθμού δειγμάτων.
- \bar{P} είναι το μέσο δείγμα κατανάλωσης, s είναι η τυπική απόκλιση, N είναι ο αριθμός των δειγμάτων και $t_{\alpha/2}$ είναι ο συντελεστής της κατανομής *student (t)* για διάστημα εμπιστοσύνης $(1-\alpha)\%$.

$$\bar{P} \pm t_{\alpha/2} \frac{s}{\sqrt{N}}$$

- Ο αριθμός των δειγμάτων ($N = 200$) ικανοποιεί το παρακάτω κριτήριο:

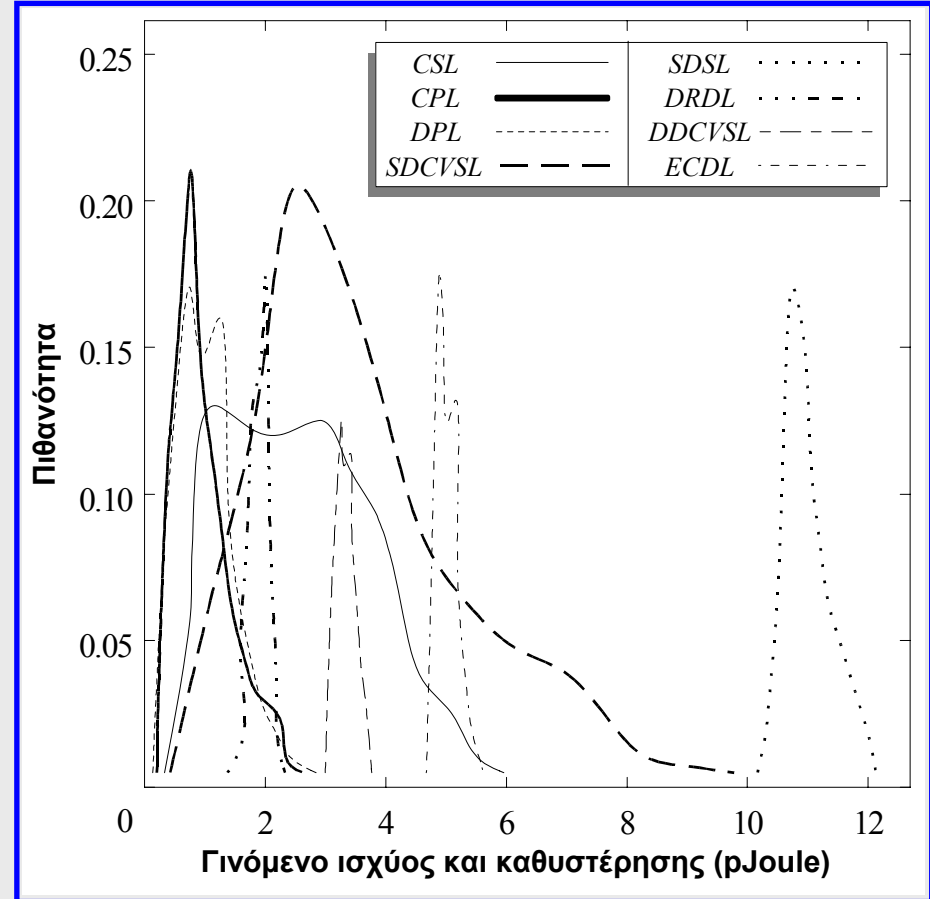
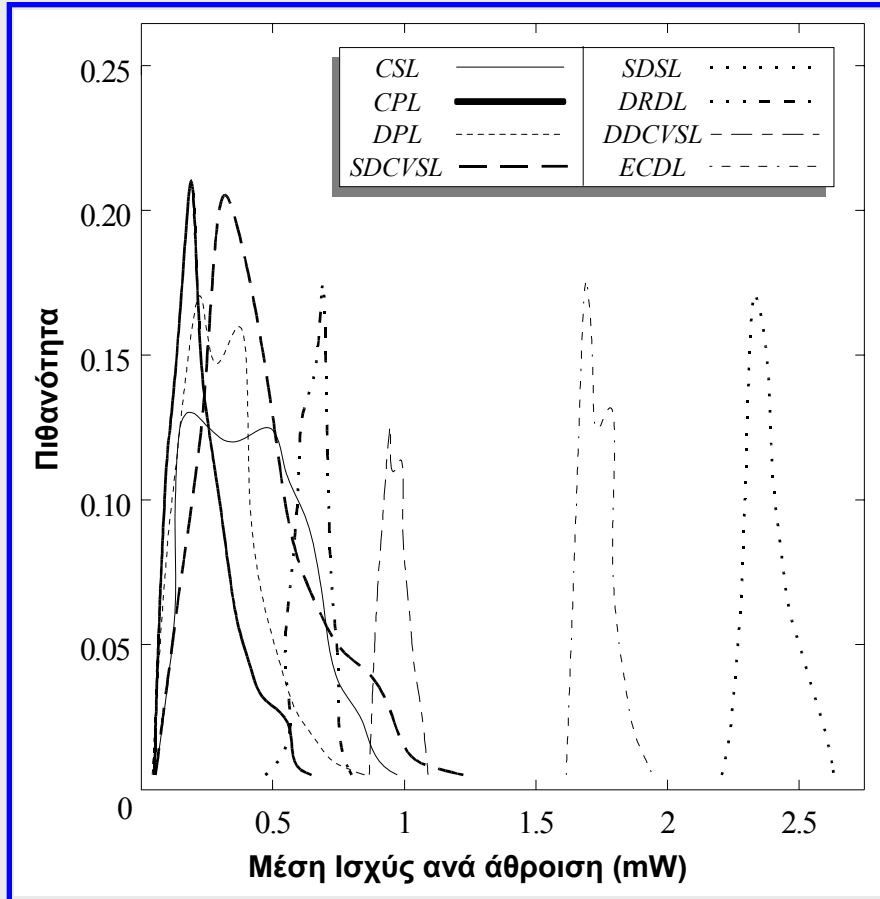
$$\frac{t_{\alpha/2} s}{\bar{P} \sqrt{N}} < e$$

με μέγιστο σφάλμα $e = 7\%$ και διάστημα εμπιστοσύνης 95% ($t_{\alpha/2} = 1.96$).

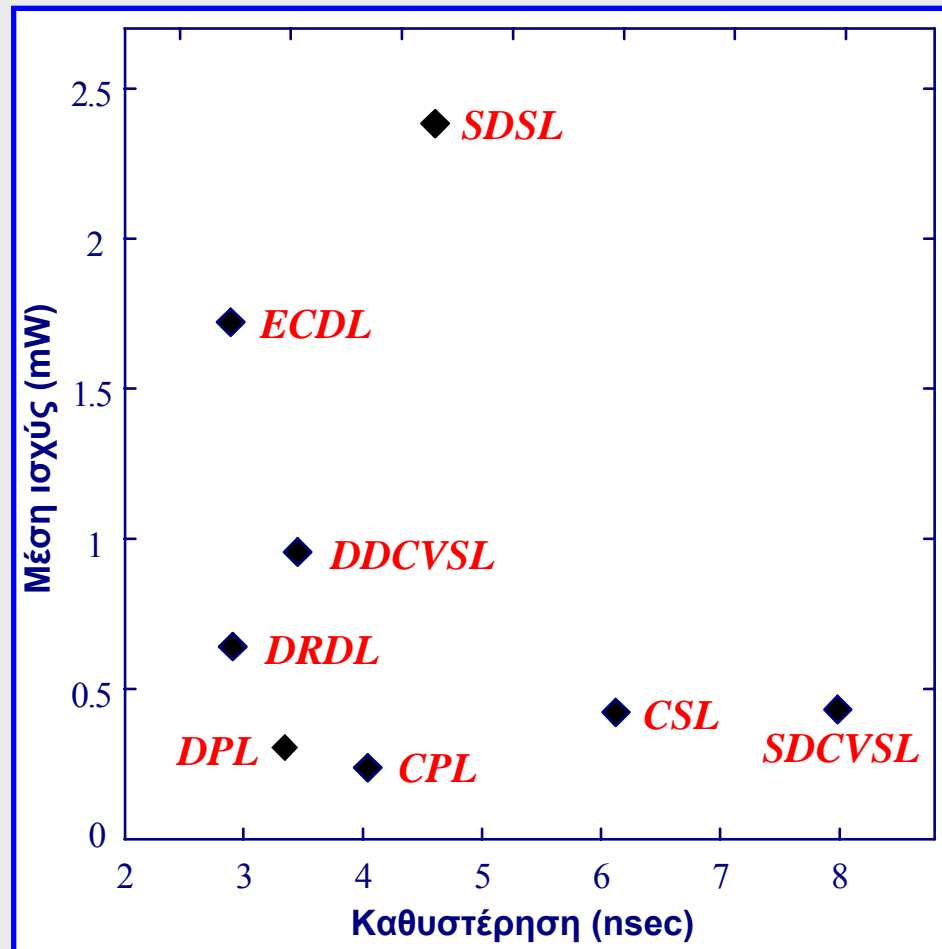
Αποτελέσματα μετρήσεων

Τεχνική σχεδιασμού	Μέση ισχύς ανά άθροιση (mW)	Στατιστικό σφάλμα (%)	Καθυστέρηση (ns)	Μέσο γινόμενο ισχύος και καθυστέρησης ανά άθροιση (pJ)
CSL	0.422 ± 0.0302	6.1	6.125	2.585 ± 0.1850
CPL	0.238 ± 0.0208	4.8	4.042	0.962 ± 0.0841
DPL	0.305 ± 0.0263	6.9	3.345	1.020 ± 0.0879
SDCVSL	0.432 ± 0.0362	6.5	7.986	3.450 ± 0.2891
SDSL	2.383 ± 0.0129	0.6	4.606	10.976 ± 0.0594
DRDL	0.641 ± 0.0091	1.4	2.909	1.865 ± 0.0265
DDCVSL	0.957 ± 0.0074	0.8	3.453	3.304 ± 0.0255
ECDL	1.721 ± 0.0096	0.6	2.892	4.977 ± 0.0278

Ιστογράμματα ισχύος και γινομένου ισχύος-καθυστέρησης



Συσχέτιση ισχύος και καθυστέρησης



Γιατί αθροιστές και πολλαπλασιαστές ?

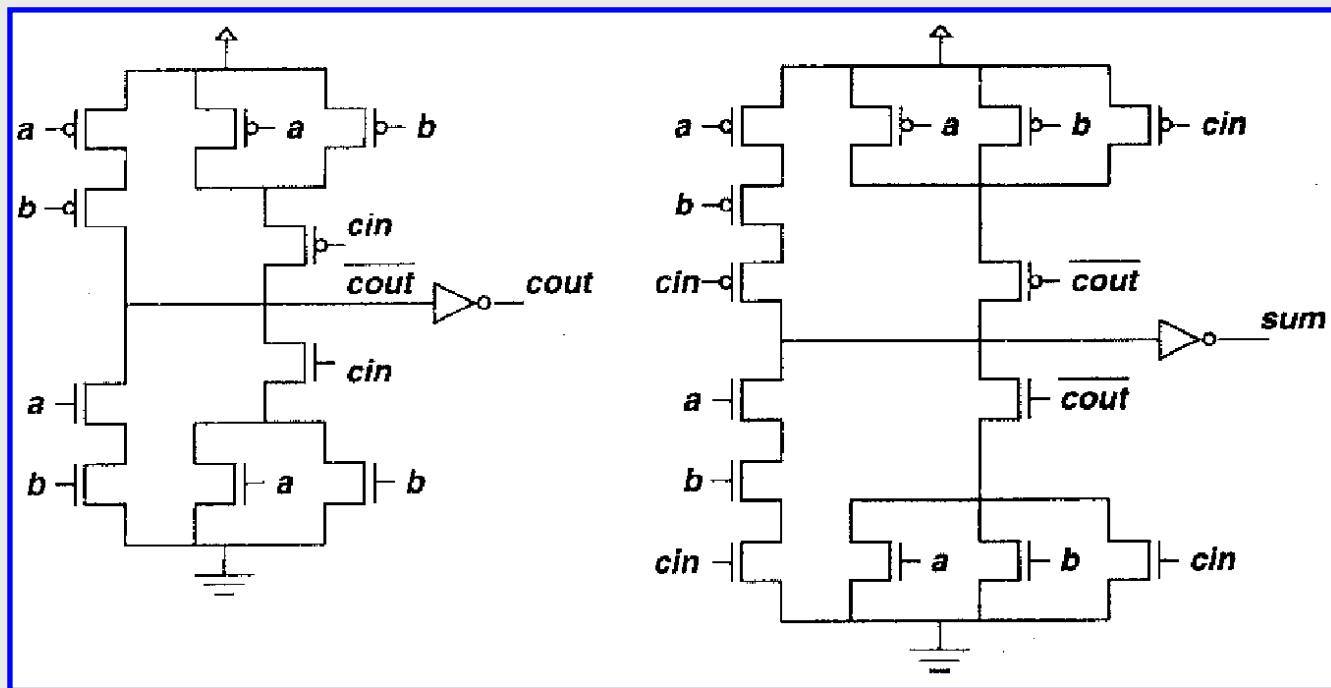
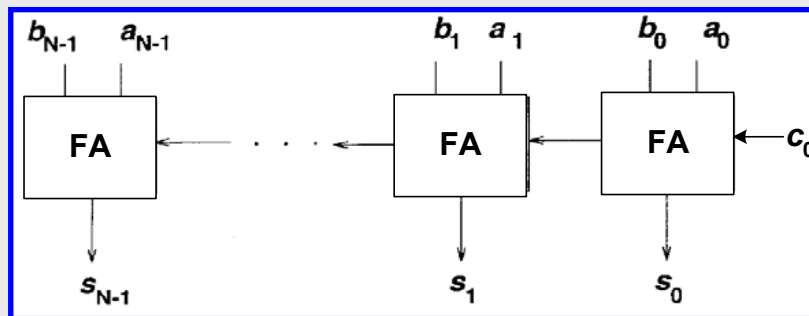
- Σε υπολογιστικά συστήματα γενικού σκοπού αλλά και σε επεξεργαστές ειδικού σκοπού, η άθροιση είναι μια λειτουργία που χρησιμοποιείται πολύ συχνά.
- Στην εργασία των Chen et al. μετά την διερεύνηση ενός συνόλου συστημάτων αναφοράς (benchmarks) ψηφιακής επεξεργασίας πραγματικού χρόνου βρέθηκε ότι η άθροιση είναι η πιο συχνή λειτουργία.
- Οπότε είναι φυσικό το ότι αρκετοί ερευνητές και αρχιτέκτονες υπολογιστών έχουν προτείνει διαφορετικούς τρόπους σχεδιασμού αθροιστών.
- Επίσης, η απόδοση στα συστήματα ψηφιακής επεξεργασίας συχνά περιορίζεται από την ταχύτητα και την κατανάλωση ενέργειας των αριθμητικών επεξεργαστών, στους οποίους οι πολλαπλασιαστές είναι ένα από τα βασικά υποσυστήματά τους.

D. C. Chen, L. M. Guerra, E. H. Ng, M. Potkonjak, D. P. Schultz, and J. M. Rabaey, "An integrated system for rapid prototyping of high performance algorithm specific data paths," in *Proc. Application Specific Array Processors*, Aug 1992, pp. 134–148.

Τεχνικές σχεδιασμού αθροιστών

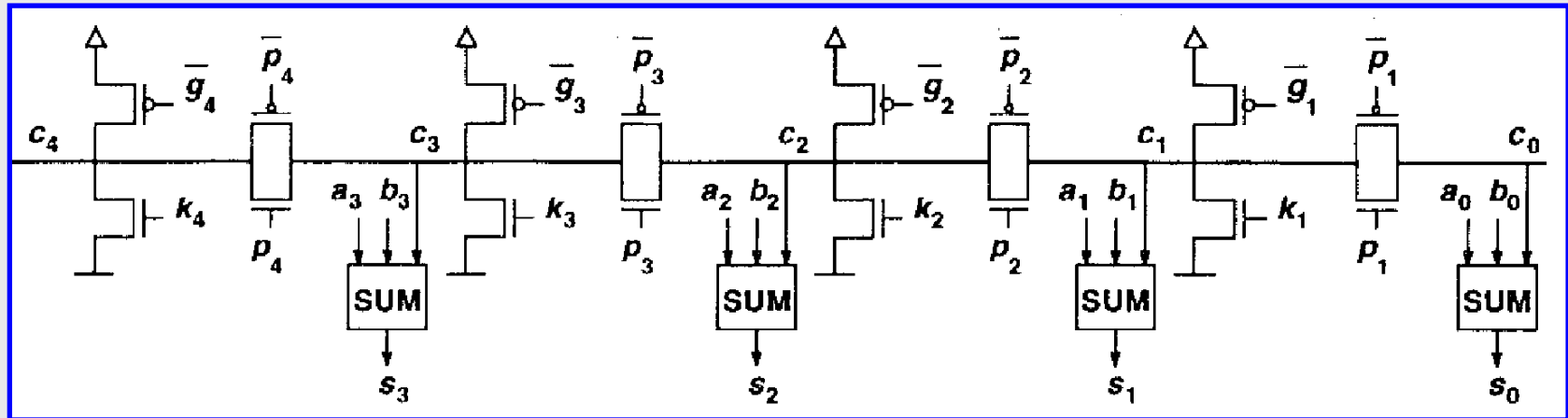
- Αθροιστής ριπής κρατουμένου (ripple-carry adder - RCA)
- Αθροιστής αλυσιδωτής διάδοσης κρατουμένου (Manchester carry-chain adder - MCC)
- Αθροιστής παράκαμψης κρατουμένου (carry-skip adder - CSK)
- Αθροιστής επιλογής κρατουμένου (carry-select adder - CSL)
- Αθροιστής πρόβλεψης κρατουμένου (carry-lookahead adder - CLA)

Αθροιστής ριπής κρατουμένου (ripple-carry adder)



$$\text{sum} = a \oplus b \oplus c$$
$$\text{cout} = ab + ac + bc$$

Αθροιστής αλυσιδωτής διάδοσης κρατούμενου (Manchester carry-chain adder)



- Χρησιμοποιεί συναρτήσεις διάδοσης (propagate), παραγωγής (generate), και εξουδετέρωσης (kill) του κρατούμενου:

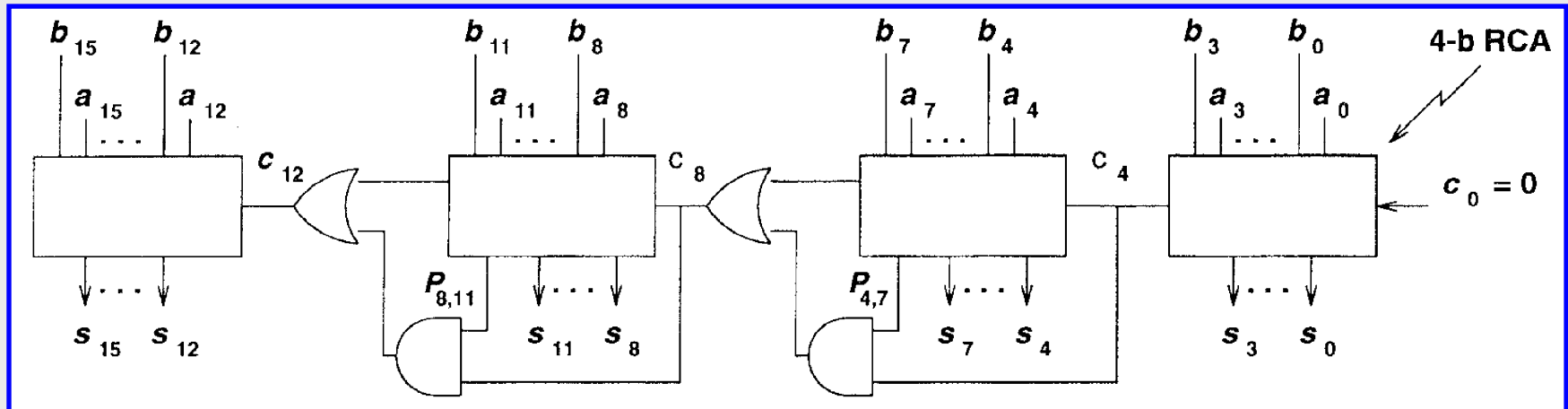
$$\text{Propagate: } p_i = a_i \oplus b_i$$

$$\text{Generate: } g_i = a_i \cdot b_i$$

$$\text{Kill: } k_i = \overline{a_i} \cdot \overline{b_i}$$

- Το κρατούμενο μετά την παραγωγή του διαδίδεται γρήγορα μέσω αλυσίδας από πύλες μετάδοσης, μέχρι να εξουδετερωθεί ή να φτάσει στη θέση MSB.

Αθροιστής παράκαμψης κρατουμένου (Carry-skip adder)

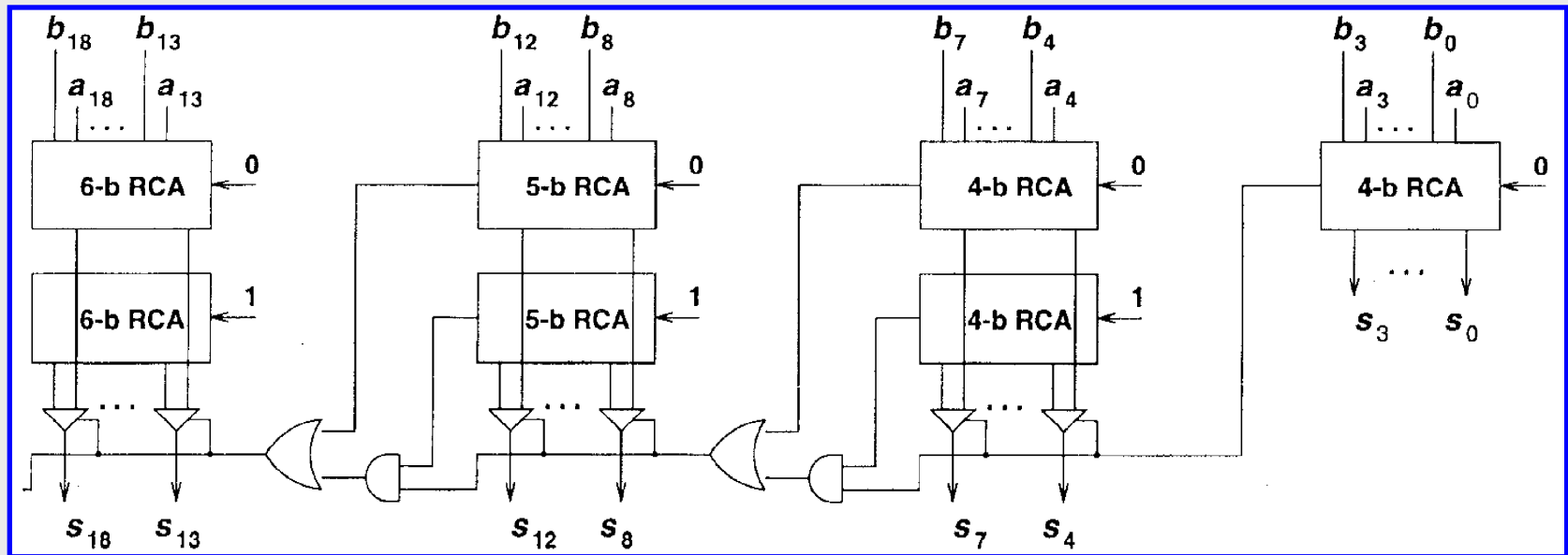


- Σε κάθε RCA υπολογίζεται μια συνολική συνάρτηση διάδοσης κρατουμένου ως εξής:

$$P_{4,7} = p_4 p_5 p_6 p_7, \text{ όπου } P_4 = a_4 \oplus b_4, P_5 = a_5 \oplus b_5, P_6 = a_6 \oplus b_6, P_7 = a_7 \oplus b_7$$

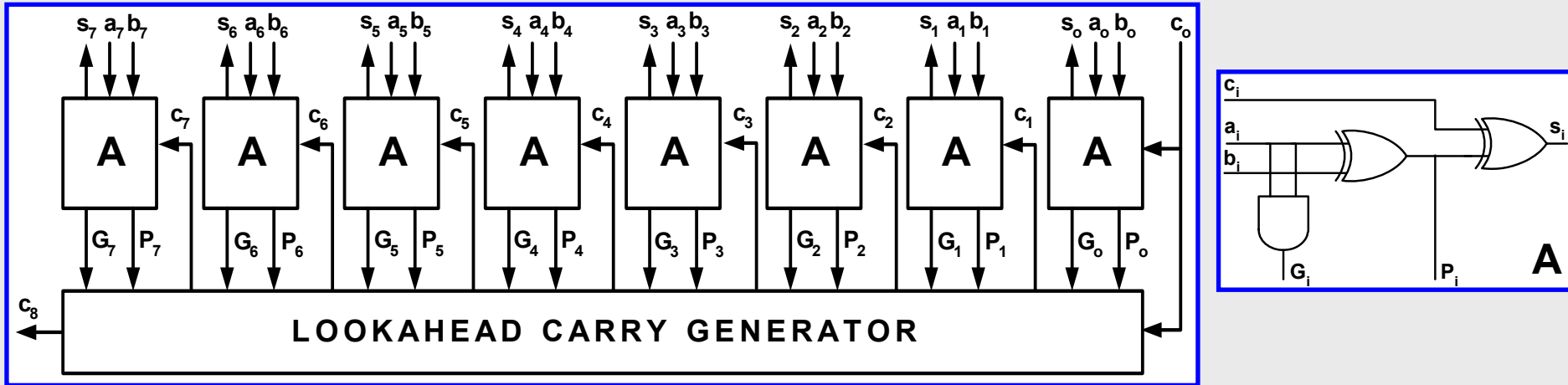
- Εάν κάποια από τις συνολικές συναρτήσεις διάδοσης είναι αληθής, τότε το κρατούμενο εισόδου του αντίστοιχου RCA παρακάμπτει τον RCA και διαδίδεται στον επόμενο. Αυτό έχει σαν αποτέλεσμα την επιτάχυνση της διάδοσης του κρατουμένου.

Αθροιστής επιλογής κρατούμενου (Carry-select adder)



- Εκτελούνται παράλληλα δύο προσθέσεις σε κάθε βαθμίδα: μία υποθέτοντας ότι το κρατούμενο είναι "1" και μια υποθέτοντας ότι το κρατούμενο είναι "0".
- Οι σωστές τιμές του αθροίσματος και του κρατούμενου εξόδου επιλέγονται με την άφιξη του κρατούμενου στο κύκλωμα που υλοποιεί την λογική επιλογής κάθε βαθμίδας.
- Κάθε επόμενος RCA επεκτείνεται κατά μία βαθμίδα για να συγχρονιστεί με την καθυστέρηση της λογικής πρόβλεψης κρατούμενου.

Αθροιστής πρόβλεψης κρατουμένου (Carry-lookahead adder)



$$c_{k+1} = G_k + c_k P_k = a_k b_k + c_k (a_k \oplus b_k)$$

$$s_k = a_k \oplus b_k \oplus c_k$$

$$c_{k+1} = G_i + P_i G_i + P_i P_{i-1} G_{i-2} + \dots + P_i \dots P_1 c_0$$

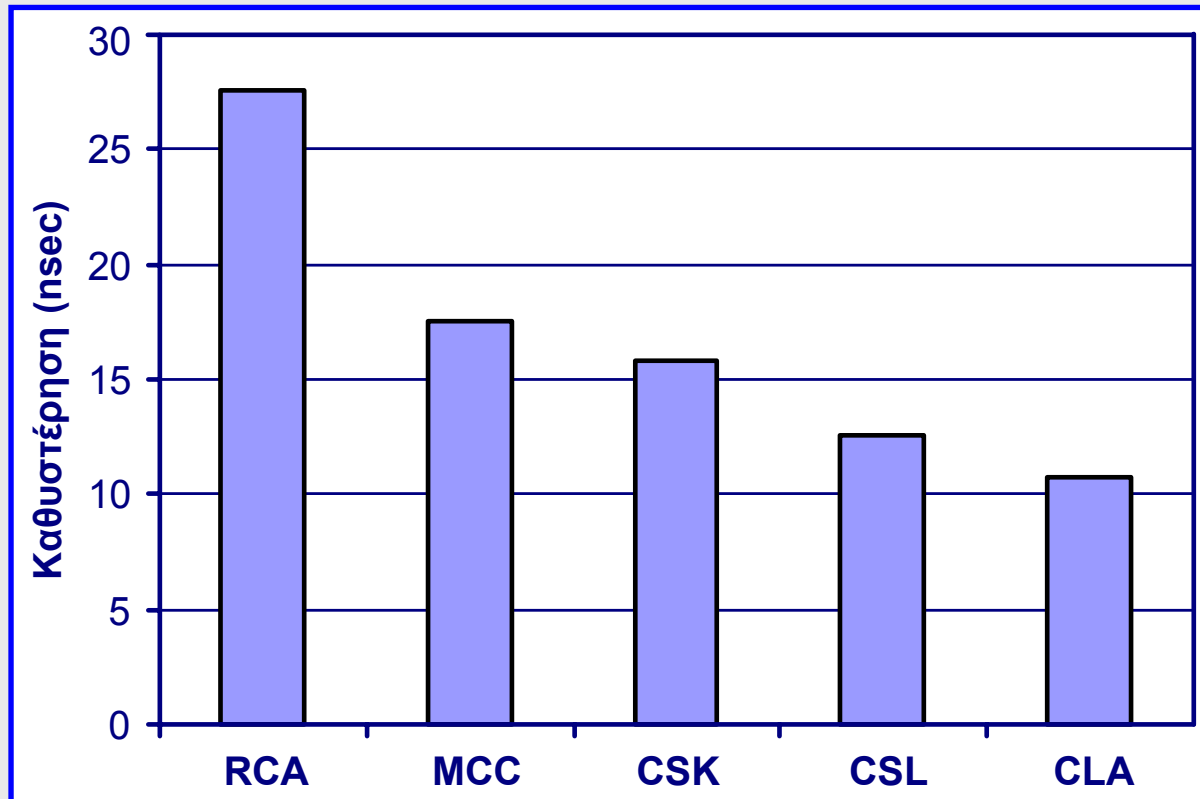
- Η τεχνική αυτή είναι δημοφιλής λόγω της ταχύτητάς της. Διάφορες παραλλαγές έχουν αναπτυχθεί (Brent & Kung, ELM) που χρησιμοποιούν δομές δέντρου για την πρόβλεψη των κρατουμένων με σκοπό να πετύχουν πιο συμπαγή και ομοιόμορφο σχεδιασμό και περαιτέρω μείωση της καθυστέρησης.

Περιοχή πυριτίου και αριθμός τρανζίστορ

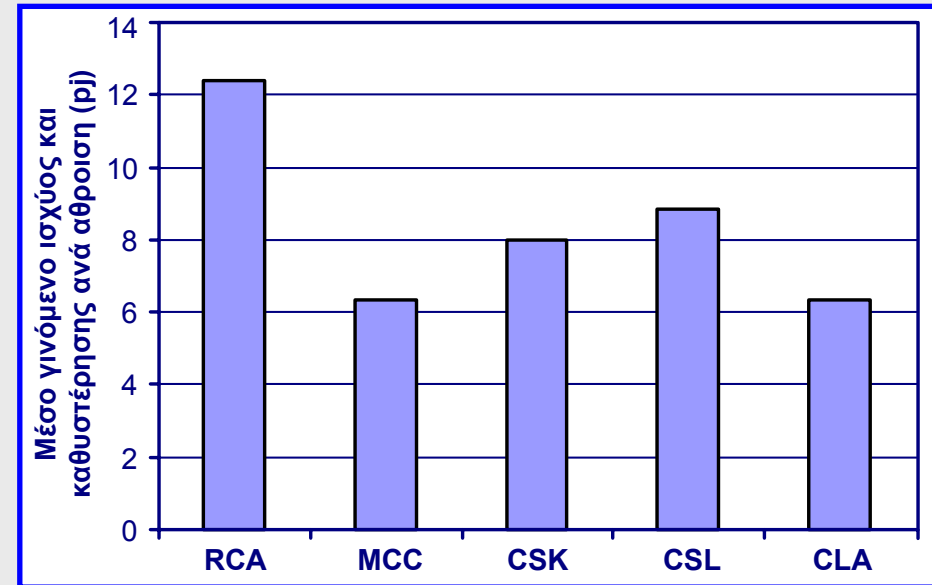
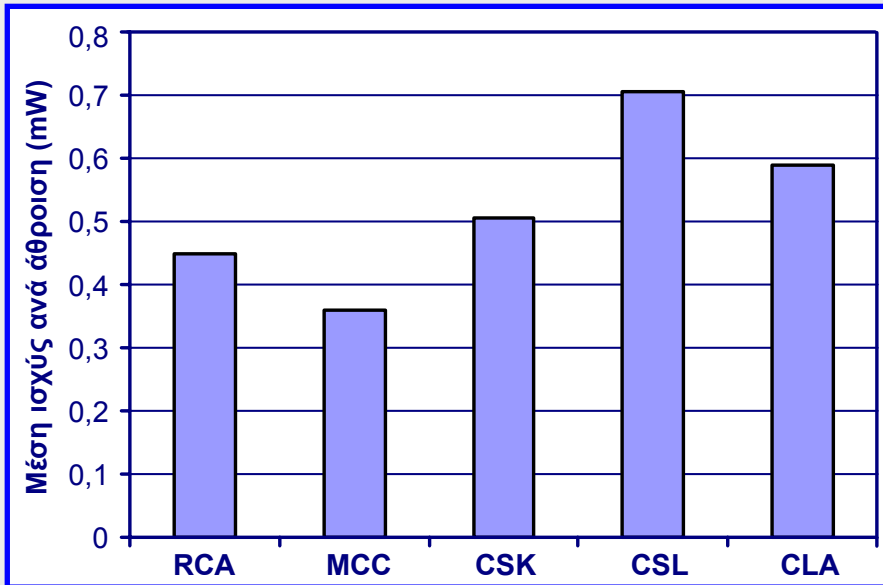
- Με είσοδο περιγραφή των αθροιστών σε επίπεδο τρανζίστορ παράχθηκε αυτόματα (με βάση μια βιβλιοθήκη βασικών στοιχείων) από το εργαλείο GDT Autocells (Mentor Graphics) ο φυσικός σχεδιασμός (layout) των πέντε 16-bit αθροιστών. Ο φυσικός σχεδιασμός που παράγεται από το εργαλείο που χρησιμοποιήθηκε είναι ικανοποιητικός για κυκλώματα έως 1000 τρανζίστορς.

Τύπος Αθροιστή	Περιοχή ($\times 10^4 \mu\text{m}^2$)	Αριθμός τρανζίστορ
RCA	19.44	596
MCC	23.33	642
CSK	29.85	682
CSL	36.93	914
CLA	52.40	1038

Καθυστέρηση αθροιστών

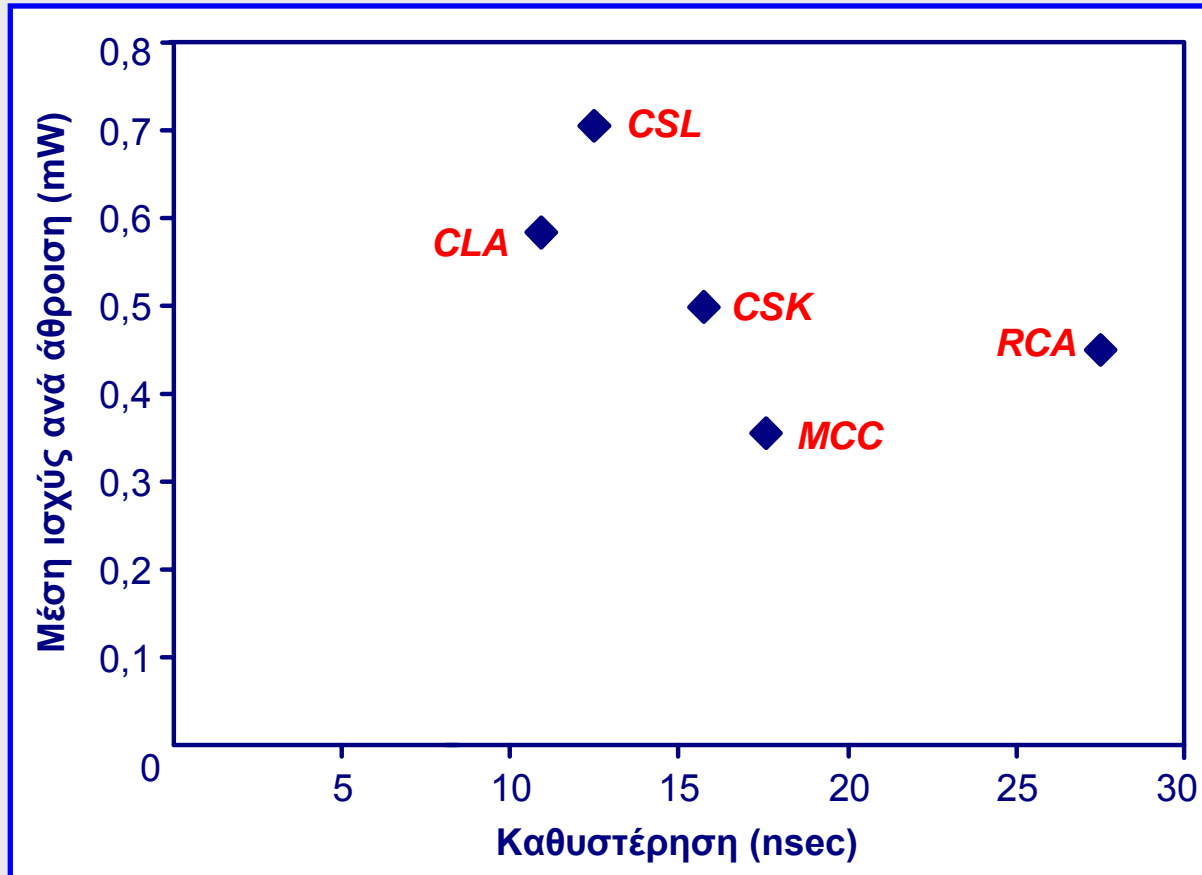


Μέση ισχύς και γινόμενο ισχύος και καθυστέρησης

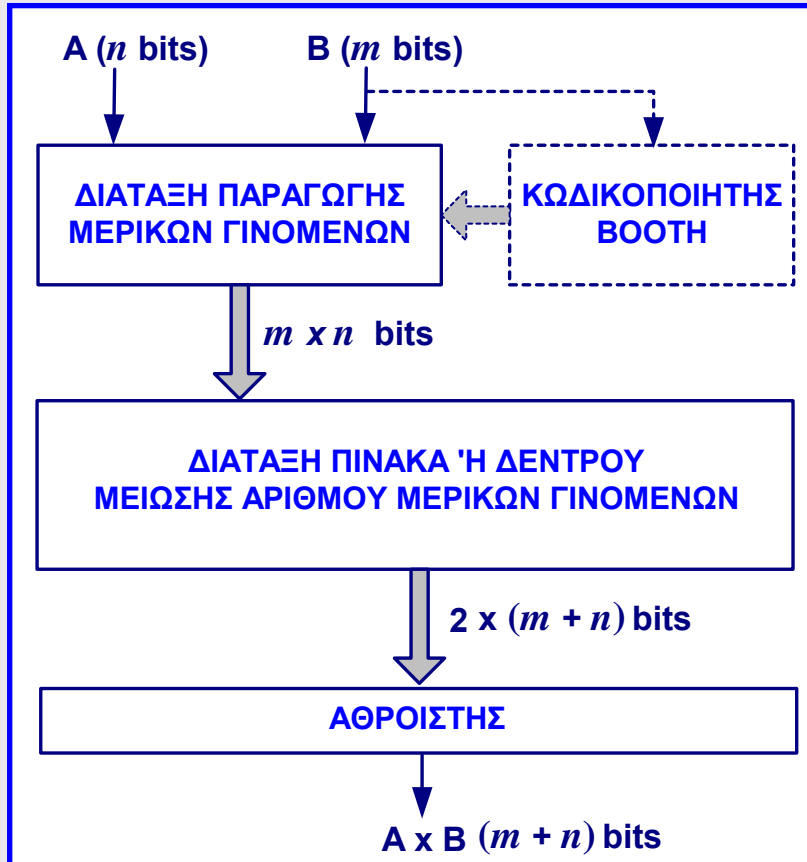


- Διατέθηκε χρόνος 100 nsec (δηλ. συχνότητα 10 MHz) για μία άθροιση σε όλους τους τύπους αθροιστή.
- Σε κάθε τύπο αθροιστή χρησιμοποιήθηκαν 500 τυχαία δείγματα μεταβάσεων εισόδων και οι μετρήσεις ισχύος που προέκυψαν αναλύθηκαν με στατιστική μέθοδο.

Συσχέτιση ισχύος και καθυστέρησης αθροιστών



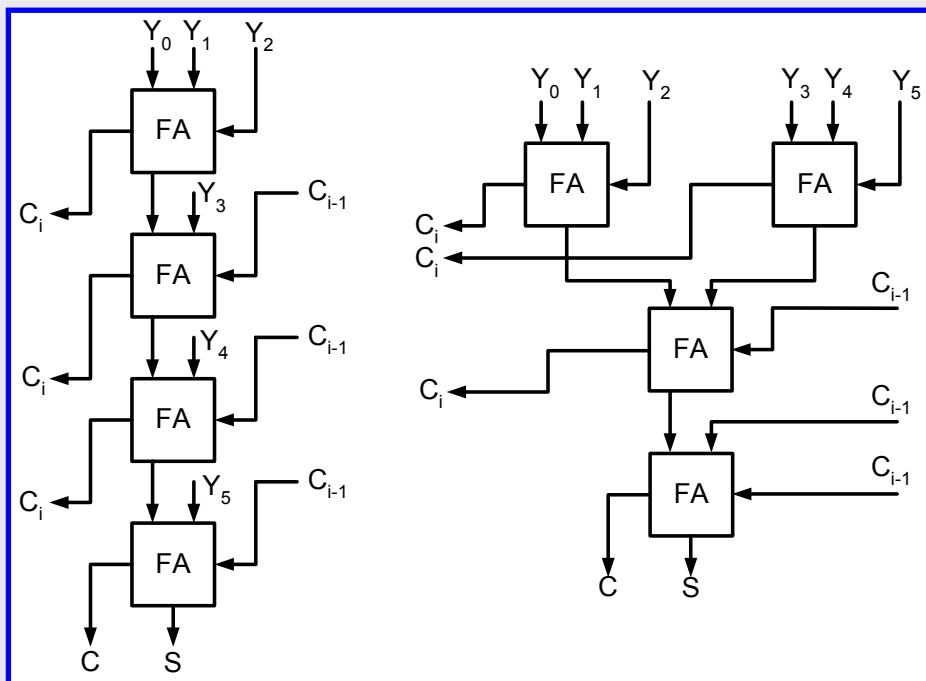
Τεχνικές σχεδιασμού πολλαπλασιαστών



- Η διάταξη παραγωγής μερικών γινομένων υλοποιείται με $n \times m$ πύλες AND και παράγονται m μερικά γινόμενα των n bits. Με χρήση του κωδικοποιητή Booth ο αριθμός των μερικών γινομένων περιορίζεται στο μισό.
- Στη συνέχεια, για τη μείωση του αριθμού των μερικών γινομένων μπορεί να χρησιμοποιηθεί διάταξη πίνακα (carry-save array multiplier) ή διατάξεις δέντρου (Wallace ή Dadda multipliers) οι οποίες περιλαμβάνουν συνήθως πλήρεις αθροιστές.
- Οι διατάξεις δέντρου υλοποιούνται με λιγότερα επίπεδα άθροισης, και συνεπώς διαθέτουν μεγαλύτερη ταχύτητα, αλλά και ανομοιομορφία που οδηγεί σε μη αποδοτικό φυσικό σχεδιασμό.

Διαφορές πολλαπλασιαστών διάταξης πίνακα και δέντρου

- Στους πολλαπλασιαστές διάταξης πίνακα, τα δεδομένα διαδίδονται από τους αθροιστές της κορυφής του πίνακα έως εκείνους της τελευταίας βαθμίδας άθροισης, και ο συνολικός αριθμός των βαθμίδων άθροισης ισούται με τον αριθμό των bits της λέξης του πολλαπλασιαστή μειωμένο κατά 2.
- Στους πολλαπλασιαστές διάταξης δέντρου, η γραμμική διάταξη των αθροιστών της διάταξης πίνακα που χρησιμοποιείται για την μείωση των μερικών γινομένων αναδιοργανώνεται σε μια δομή δέντρου μειώνοντας έτσι τον συνολικό αριθμό των βαθμίδων άθροισης.
- Στο παρακάτω σχήμα παρουσιάζεται η αναδιοργάνωση μιας στήλης της διάταξης πίνακα ενός πολλαπλασιαστή 6-bit σε δομή δέντρου:



- Τα σήματα Y_i είναι τα μερικά γινόμενα του πολλαπλασιασμού.
- Παρατηρούμε ότι οι βαθμίδες άθροισης είναι 4 στη διάταξη πίνακα και 3 στη διάταξη δέντρου.
- Σε πολλαπλασιαστή 8-bit οι βαθμίδες στη διάταξη δέντρου μειώνονται σε 4 από 6 που περιλαμβάνονται στη διάταξη πίνακα, ενώ σε πολλαπλασιαστή 16-bit μειώνονται σε 6 από 14.

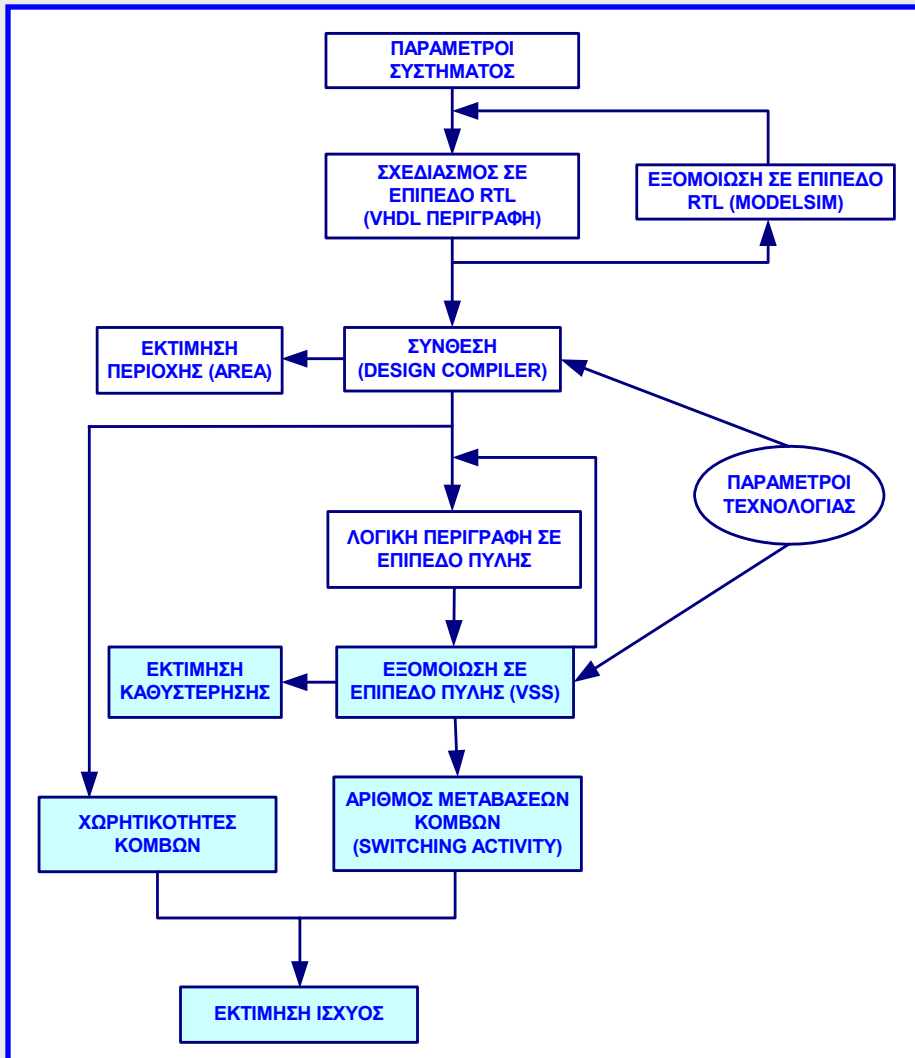
Κωδικοποίηση Booth

- Η ταχύτητα πολλαπλασιασμού μπορεί να αυξηθεί με την εφαρμογή μιας ειδικής κωδικοποίησης της λέξης του πολλαπλασιαστή (κωδικοποίηση Booth) η οποία περιορίζει τον αριθμό των μερικών γινομένων στο μισό, και συνεπώς τον αριθμό των απαιτούμενων βαθμίδων άθροισης στη διάταξη πίνακα ή δέντρου.
- Αντί για την παραδοσιακή δυαδική κωδικοποίηση (δηλ. τον υπολογισμό των μερικών γινομένων με χρήση βάσης 2), η λέξη του πολλαπλασιαστή κωδικοποιείται με χρήση βάσης 4 (radix-4):

$$B = \sum_{i=0}^{N-1} B_i \cdot 4^i, \quad B_i \in \{-2, -1, 0, 1, 2\}$$

- Έτσι ενώ ο πολλαπλασιασμός με $\{0, 1\}$ είναι ισοδύναμος με μια λειτουργία AND, ο πολλαπλασιασμός με $\{-2, -1, 0, 1, 2\}$ απαιτεί συνδυασμό μιας λειτουργίας αντιστροφής και μιας ολίσθησης, δημιουργώντας έτσι απαίτηση για χρήση επιπλέον λογικών πυλών.
- Η κωδικοποίηση Booth λαμβάνει κάθε φορά 3 bits της λέξης του πολλαπλασιαστή, σε αντίθεση με το 1 bit που λαμβάνεται κάθε φορά στην παραδοσιακή δυαδική κωδικοποίηση.

Εκτίμηση μέσης δυναμικής ισχύος



$$P_{\text{dynamic}} = \left(\sum_{i=1}^N C_{\text{load } i} \cdot s_i \right) \cdot V_{\text{DD}}^2 \cdot f$$

s_i είναι ο μέσος αριθμός μεταβάσεων $0 \rightarrow 1$ που συμβαίνουν στον κόμβο i στο χρονικό διάστημα T ($f = 1/T$).

N : αριθμός κόμβων του κυκλώματος

$$s_i = \frac{\# \text{ μεταβάσεων } 0 \rightarrow 1 \text{ στον κόμβο } i \text{ στο διάστημα } T}{\# \text{ δειγμάτων}}$$

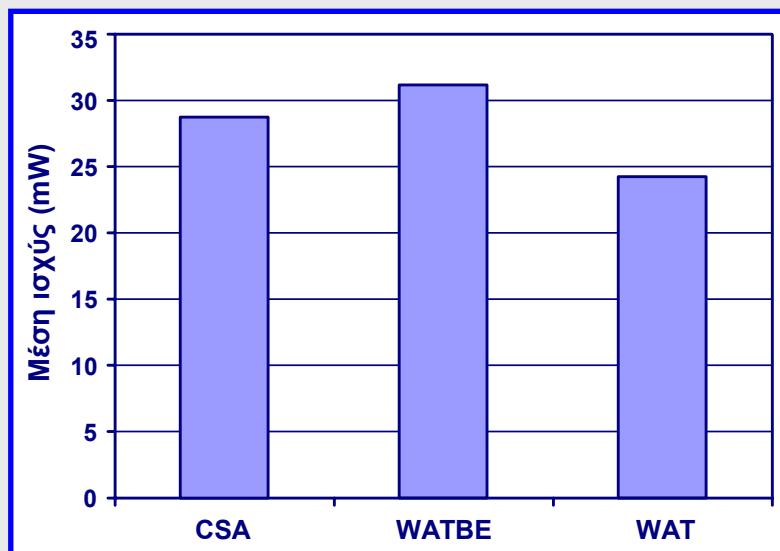
$$P_{\text{dynamic}} = \frac{V_{\text{DD}}^2 \cdot f}{\# \text{ δειγμάτων}} \sum_{i=1}^N C_{\text{load } i} \cdot \left(\begin{array}{l} \# \text{ μεταβάσεων } 0 \rightarrow 1 \text{ στον} \\ \text{κόμβο } i \text{ στο διάστημα } T \end{array} \right)$$

Ο αριθμός μεταβάσεων στους κόμβους προκύπτει από την εξομοίωση σε επίπεδο λογικής πύλης.

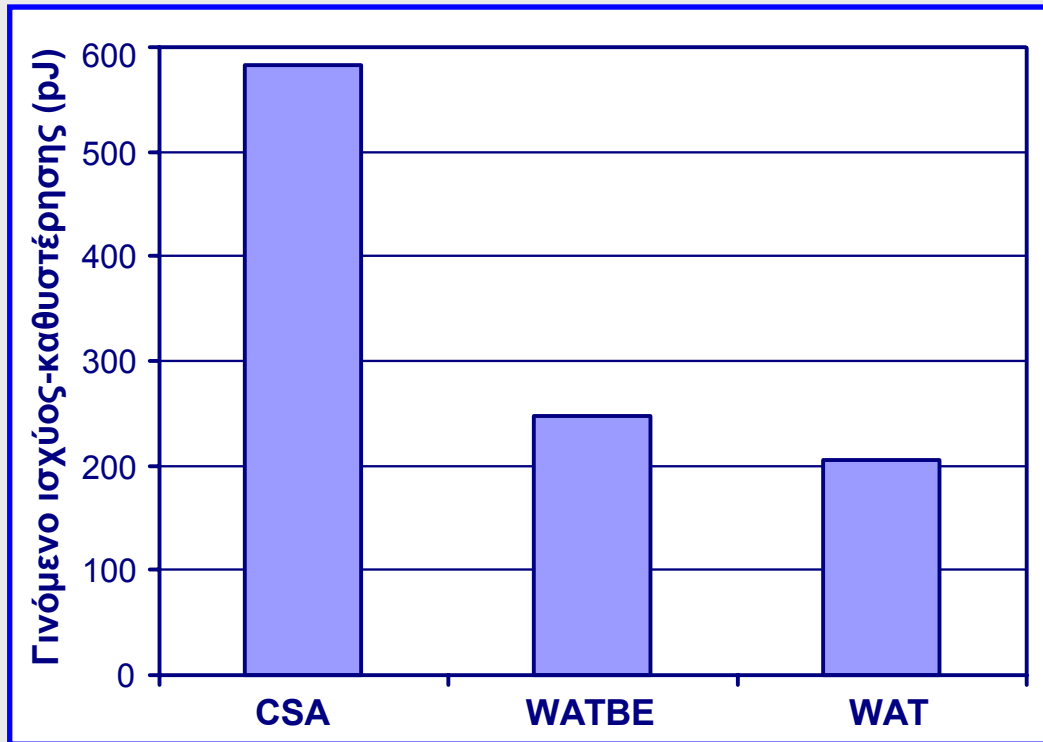
Χρησιμοποιήθηκαν 10.000 δείγματα εισόδου για την εκτίμηση ισχύος σε 16x16 bit πολλαπλασιαστές.

Μέση δυναμική ισχύς πολλαπλασιαστών

Τύπος Πολλαπλασιαστή	Μέση ισχύς (mW)
Πολλαπλασιαστής διάταξης πίνακα (Carry-save array – CSA)	28.56
Πολλαπλασιαστής διάταξης δέντρου (Wallace-tree – WAT)	24.48
Πολλαπλασιαστής διάταξης δέντρου με κωδικοποιητή Booth (Wallace-tree with Booth encoder – WATBE)	31.20



Γινόμενο ισχύος-καθυστέρησης πολλαπλασιαστών



Συμπεράσματα

- Αναλύθηκαν οι παράγοντες που επηρεάζουν την κατανάλωση ενέργειας και την καθυστέρηση των κυκλωμάτων CMOS και παρουσιάστηκαν μοντέλα για τον υπολογισμό τους.
- Αναλύθηκαν και αξιολογήθηκαν τεχνικές σχεδιασμού κυκλωμάτων CMOS ως προς την κατανάλωση ενέργειας, την καθυστέρηση και το μέγεθός τους. Τα αποτελέσματα της αξιολόγησης παράχθηκαν με βάση μετρήσεις που έγιναν σε αθροιστή 4-bit, και αναλύθηκαν με βάση στατιστική μέθοδο.
- Αποδείχθηκε ότι τα αριθμητικά κυκλώματα που βασίζονται σε τεχνικές σχεδιασμού με τρανζίστορ περάσματος (CPL, DPL) παρουσιάζουν καλύτερα χαρακτηριστικά σε ότι αφορά την κατανάλωση ενέργειας και το γινόμενο κατανάλωσης και καθυστέρησης.
- Μετά από ανάλυση και αξιολόγηση αρκετών τύπων αθροιστών που χρησιμοποιούνται συχνά σε αριθμητικούς επεξεργαστές, το συμπέρασμα ήταν ότι ο αθροιστής CLA ενδείκνυται για εφαρμογές υψηλής ταχύτητας και χαμηλής κατανάλωσης ιδιαίτερα για υψηλό αριθμό bits, ενώ και ο MCC είναι κατάλληλος σε περιπτώσεις μικρού αριθμού bits.
- Τέλος, αξιολογήθηκαν 3 τύποι πολλαπλασιαστών που επίσης χρησιμοποιούνται συχνά σε αριθμητικούς επεξεργαστές, και αποδείχθηκε ότι τα καλύτερα χαρακτηριστικά σε ότι αφορά το γινόμενο κατανάλωσης και καθυστέρησης παρουσιάζει ο πολλαπλασιαστής διάταξης πίνακα (Wallace) χωρίς κωδικοποίηση Booth.
- Με βάση τα συμπεράσματα της συνολικής μελέτης αναδεικνύονται οι παρεμβάσεις που μπορούν να γίνουν και οι αποφάσεις που πρέπει να ληφθούν στη φάση του σχεδιασμού αριθμητικών επεξεργαστών με σκοπό τη βελτίωση των χαρακτηριστικών τους σε ότι αφορά κυρίως την ταχύτητά τους και την ενέργεια που καταναλώνουν.